

Attorney Docket 0553-0193.01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of:

Toru TAKAYAMA et al

Serial No: Not Assigned

Filed: Herewith

For: WIRING MATERIAL, SEMICONDUCTOR DEVICE
PROVIDED WITH A WIRING USING THE WIRING
MATERIAL AND METHOD OF MANUFACTURING THEREOF

To:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

)
) "Express Mail" Mailing Label No. EV 321710936
)
Date of Deposit September 26, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR1.10 on the date indicated above and is addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Name: ARMANDO CHANG
(typed or printed)

Signature Armando Chang

APPOINTMENT OF ASSOCIATE ATTORNEYS

Sir:

Please recognize the following as my associate attorneys in the above captioned application:

Granger Cook, Jr.	Reg. No. 18,283
Daniel C. McEachran	Reg. No. 19,804
William H. Magidson	Reg. No. 19,902
Edward M. Keating	Reg. No. 20,646
John L. Alex	Reg. No. 22,017
Daniel M. Riess	Reg. No. 24,375
Eugene M. Cummings	Reg. No. 24,398
Raymond M. Mehler	Reg. No. 26,306
James S. Pristelski	Reg. No. 27,222
Gary W. McFarron	Reg. No. 27,357
Joel H. Bock	Reg. No. 29,045
Stephen B. Heller	Reg. No. 30,181
David Lesht	Reg. No. 30,472
Andrew G. Kolomayets	Reg. No. 33,723
Mark J. Murphy	Reg. No. 34,225
David M. Mundt	Reg. No. 41,207
Michael J. McGee	Reg. No. 43,789
Panasarn Aim Jirut	Reg. No. 51,849
Michael D. Zaronias	Reg. No. 54,564

Respectfully submitted,

Edward D. Manzo

Edward D. Manzo
Attorney of Record
Registration No. 28,139

COOK, ALEX, McFARRON, MANZO,
CUMMING & MEHLER, LTD.
200 West Adams Street, Suite 2850
Chicago, Illinois 60606
(312) 236-8500

整理番号 = P 0 0 5 0 3 2

特願2000-195616 I hereby certify that this paper or file is 44 pages.

Do ... Deposit June 28, 2000

提出日 平成12年 6月28日

hereby certify that this paper or file is 44

15-4184 certify that this paper or file is being
deposited with the United States Postal Service

Deposited with the United States Postal Service
"Express Mail Post Office to Addressee" service

Express Mail Post office to Addressee service under 37 CFR 1.10 on the date indicated above.

Under 37 CFR 1.10 on the date indicated above
本機之發明為導體裝置或電子元件之組合

U.S. Patent & Trademark Office Commissioner
for Patents, Washington, D.C. 20231

for Patents, Washington, D.C. 20231

Name: Victoria Leekley

【書類名】明細書

【発明の名称】 配線材料およびこれを用いた配線を備えた電気機器
U.S. Patent and Trademark Office Commissioner for Patents, Washington, D.C. 20231

の作製方法

【特許請求の範囲】

【請求項 1】

タングステンまたはタングステン化合物を主成分とする配線材料であつて、前記配線材料中の不活性元素にアルゴンを90%以上含み、且つ、前記配線材料中ににおけるナトリウムの含有量は0.3 ppm以下であることを特徴とする配線材料

【請求項2】

請求項1において、前記タングステン化合物は、Ta、Ti、Mo、Cr、Nb、Siから選ばれた一種の元素、または複数種の元素とタングステンとの化合物であることを特徴とする配線材料。

【請求項3】

請求項 1 または請求項 2において、前記配線材料の電気抵抗率が $40 \mu\Omega \cdot \text{cm}$ 以下であることを特徴とする配線材料。

【請求項 4】

W、Ta、Ti、Mo、Cr、Nb、Siから選ばれた一種の元素、または複数種の元素を含む金属膜、前記元素を主成分とする金属化合物膜、前記元素を組み合わせた合金膜、もしくは前記金属膜、金属化合物膜または合金膜から選ばれた薄膜を積層した積層膜からなる配線を備え、

前記配線は前記配線中の不活性元素にアルゴンを90%以上含み、且つ、前記配線中におけるナトリウムの含有量は0.3 ppm以下であることを特徴とする半導体装置。

【請求項5】

タンゲステンまたはタンゲステン化合物を主成分とする膜を含む配線を備えた半導体装置であって、

前記記述は前記配線中の不活性元素にアルゴンを90%以上含み、且つ、前記配線におけるナトリウムの含有量は0.3 ppm以下であることを特徴とする半導

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 2/ 44

体装置。

【請求項6】

タンゲステンまたはタンゲステン化合物を主成分とする膜と、タンゲステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、前記配線は前記配線中の不活性元素にアルゴンを90%以上含み、且つ、前記配線におけるナトリウムの含有量は0.3 ppm以下であることを特徴とする半導体装置。

【請求項7】

導電型を付与する不純物元素が添加されたシリコン膜と、タンゲステンまたはタンゲステン化合物を主成分とする膜と、タンゲステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、前記配線は前記配線中の不活性元素にアルゴンを90%以上含み、且つ、前記配線におけるナトリウムの含有量は0.3 ppm以下であることを特徴とする半導体装置。

【請求項8】

請求項4乃至7のいずれか一において、前記配線は、アルゴンをスパッタガスとして用いたスパッタ法により形成されたことを特徴とする半導体装置。

【請求項9】

請求項4乃至8のいずれか一において、前記配線中に含まれるアルゴン以外の不活性元素は、1 atoms%以下であることを特徴とする半導体装置。

【請求項10】

請求項4乃至8のいずれか一において、前記配線中に含まれるアルゴン以外の不活性元素は、0.1 atoms%以下であることを特徴とする半導体装置。

【請求項11】

請求項9または請求項10において、前記アルゴン以外の不活性元素は、XeまたはKrであることを特徴とする半導体装置。

【請求項12】

請求項5乃至11のいずれか一において、前記タンゲステンまたはタンゲステン化合物を主成分とする膜の内部応力は、 $-1 \times 10^{10} \text{ dyn/cm}^2 \sim 1 \times 10^{11}$

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 3/ 44

° dyn/cm²であることを特徴とする半導体装置。

【請求項13】

請求項4乃至12のいずれか一において、前記配線の線幅は5μm以下であることを特徴とする半導体装置。

【請求項14】

請求項4乃至13のいずれか一において、前記配線の膜厚は0.1μm以上、0.7μm以下であることを特徴とする半導体装置。

【請求項15】

請求項4乃至14のいずれか一において、前記配線をTFTのゲート配線として用いたことを特徴とする半導体装置。

【請求項16】

請求項4乃至15のいずれか一において、前記配線とアルミニウム配線との接触面積1μm²あたりの抵抗値は40Ω以下であることを特徴とする配線を備えた半導体装置。

【請求項17】

請求項4乃至16に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイまたはアクティブマトリクス型ECディスプレイであることを特徴とする半導体装置。

【請求項18】

請求項4乃至17に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項19】

絶縁表面上に配線を少なくとも含む半導体装置の作製方法において、前記配線は、スパッタ法によりタングステン膜を形成する工程と、前記タングステン膜をパターニングする工程とによって形成することを特徴とする半導体装置の作製方法。

【請求項20】

請求項19において、前記スパッタ法は、純度が4N以上のタングステンタ

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 4/ 44

ゲットを用いることを特徴とする半導体装置の作製方法。

【請求項21】

請求項19において、前記スパッタ法は、純度が4N以上のタンクステン合金ターゲットを用いることを特徴とする半導体装置の作製方法。

【請求項22】

請求項19乃至21のいずれか一において、前記スパッタ法は、アルゴンのみをスパッタガスとしたスパッタ法であることを特徴とする半導体装置の作製方法。

【請求項23】

請求項19乃至22のいずれか一において、前記スパッタ法は、基板温度を300°C以下とすることを特徴とする半導体装置の作製方法。

【請求項24】

請求項19乃至23のいずれか一において、前記スパッタ法は、ガス圧を0.1Pa～3.0Paとすることを特徴とする半導体装置の作製方法。

【請求項25】

請求項19乃至23のいずれか一において、前記スパッタ法は、ガス圧を1.0Pa～2.0Paとすることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は半導体装置の配線材料に関するものである。特に、薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 5/ 44

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】

従来、上記TFTの配線材料としては、スパッタ法を用いた抵抗率の低いアルミニウム膜が多用されている。しかしながら、アルミニウムを配線材料として用いてTFTを作製した場合、熱処理によってヒロックやウイスカー等の突起物の形成や、アルミニウム原子のチャネル形成領域への拡散により、TFTの動作不良やTFT特性の低下を引き起こしていた。

【0005】

【発明が解決しようとする課題】

上記に示したようにアルミニウムは、耐熱性が低いためTFTの作製プロセスにおいて好ましい配線材料ではない。

【0006】

このため、アルミニウム以外の配線材料として、例えばタンタル（Ta）やチタン（Ti）等を主成分に含む材料を使用する試みがなされている。タンタルやチタンはアルミニウムに比べれば耐熱性が高い一方、電気抵抗率が高いという問題が生じる。また、タンタルは500°C程度の熱処理を施すと、熱処理前のものと比べて電気抵抗率が数倍に増大するため問題となっていた。

【0007】

また、基板上に形成された膜が大きな応力を持つ場合、基板の反りや、膜自体の剥離が生じるため、スパッタ法により形成された膜は、膜応力の制御を行って、できるだけ低い応力を持つ膜を形成することが望まれている。膜応力の制御を行う一つの手段として、アルゴン（Ar）やクリプトン（Kr）やキセノン（Xe）の混合ガスをスパッタガスとして用いることが提案されている。しかしながら、クリプトン（Kr）やキセノン（Xe）は高価なものであるため、混合ガスを用いることは、大量生産する場合において不適であった。

【0008】

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 6/ 44

本願発明は、上記問題点を鑑みてなされたものであり、AM-LCDに代表される電気光学装置の各回路の配線または電極として、電気抵抗率が十分に低く、且つ耐熱性が十分に高い材料を用い、高い信頼性を有する電気光学装置およびその作製方法を提供することを課題とする。

[0009]

【課題を解決するための手段】

本明細書で開示する発明の構成は、

タンゲステンまたはタンゲステン化合物を主成分とする配線材料であって、前記配線材料中の不活性元素にアルゴンを90%以上含み、且つ、前記配線材料中ににおけるナトリウムの含有量は0.3 ppm以下であることを特徴とする配線材料である。

[0010]

上記構成において、前記タングステン化合物は、Ta、Ti、Mo、Cr、Nb、Siから選ばれた一種の元素、または複数種の元素とタングステンとの化合物である。

[0 0 1 1]

また、上記構成において、前記配線材料の電気抵抗率が $40 \mu\Omega \cdot \text{cm}$ 以下、好ましくは $20 \mu\Omega \cdot \text{cm}$ 以下であることを特徴としている。

[0012]

また、他の発明の構成は、

W、Ta、Ti、Mo、Cr、Nb、Siから選ばれた一種の元素、または複数種の元素を含む金属膜、前記元素を主成分とする金属化合物膜、前記元素を組み合わせた合金膜、もしくは前記金属膜、金属化合物膜または合金膜から選ばれた薄膜を積層した積層膜からなる配線を備え、

前記配線は前記配線中の不活性元素にアルゴンを90%以上含み、且つ、前記配線中におけるナトリウムの含有量は0.3 ppm以下であることを特徴とする半導体装置である。

[0013]

また、他の発明の構成は、

整理番号 = P 0 0 5 0 3 2

提出日 平成12年 6月28日
特願2000-194104 頁: 7 / 44

タングステンまたはタングステン化合物を主成分とする膜を含む配線を備えた半導体装置であって、

前記配線は前記配線中の不活性元素にアルゴンを90%以上含み、且つ、前記配線におけるナトリウムの含有量は0.3 ppm以下であることを特徴とする半導体装置である。

【0014】

また、他の発明の構成は、

タングステンまたはタングステン化合物を主成分とする膜と、タングステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、

前記配線は前記配線中の不活性元素にアルゴンを90%以上含み、且つ、前記配線におけるナトリウムの含有量は0.3 ppm以下であることを特徴とする半導体装置である。

【0015】

また、他の発明の構成は、

導電型を付与する不純物元素が添加されたシリコン膜と、タングステンまたはタングステン化合物を主成分とする膜と、タングステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、

前記配線は前記配線中の不活性元素にアルゴンを90%以上含み、且つ、前記配線におけるナトリウムの含有量は0.3 ppm以下であることを特徴とする半導体装置である。

【0016】

上記各構成において、前記配線は、アルゴンをスパッタガスとして用いたスパッタ法により形成されたことを特徴としている。

【0017】

上記各構成において、前記配線中に含まれるアルゴン以外の不活性元素(XeまたはKr)は、1 atoms%以下、好ましくは0.1 atoms%以下であることを特徴としている。

【0018】

また、上記各構成のいずれか一において、前記タングステンまたはタングステン

整理番号 = P 0 0 5 0 3 2提出日 平成12年 6月28日
特願2000-194104 頁: 8/ 44

化合物を主成分とする膜の内部応力は、 -2×10^{10} dyn/cm²~ 2×10^{11} dyn/cm²、好ましくは -1×10^{10} dyn/cm²~ 1×10^{10} dyn/cm²であることを特徴としている。

【0019】

また、上記各構成のいずれか一において、前記配線の線幅は5 μm以下であることを特徴としている。

【0020】

また、上記各構成のいずれか一において、前記配線の膜厚は0.1 μm以上、0.7 μm以下であることを特徴としている。

【0021】

また、上記各構成のいずれか一において、前記配線をTFTのゲート配線として用いたことを特徴としている。

【0022】

また、上記各構造を実現するための発明の構成は、絶縁表面上に配線を少なくとも含む半導体装置の作製方法において、前記配線は、スパッタ法によりタングステン膜を形成する工程と、前記タングステン膜をパターニングする工程とによって形成することを特徴とする半導体装置の作製方法である。

【0023】

上記構成において、前記スパッタ法は、純度が4N以上のタングステンターゲットを用いることを特徴としている。

【0024】

上記構成において、前記スパッタ法は、純度が4N以上のタングステン合金ターゲットを用いることを特徴としている。

【0025】

上記構成において、前記スパッタ法は、アルゴンのみをスパッタガスとしたスパッタ法であることを特徴としている。

【0026】

また、上記各構成において、膜の応力は基板温度とガス圧とスパッタ電力をと

適宜調節することによって、 $-2 \times 10^{10} \text{ dyn/cm}^2 \sim 2 \times 10^{10} \text{ dyn/cm}^2$ 、好ましくは $-1 \times 10^{10} \text{ dyn/cm}^2 \sim 1 \times 10^{10} \text{ dyn/cm}^2$ の範囲内で所望の値を得ることが可能である。

【0027】

また、前記スパッタ法における基板温度は300°C以下とすることを特徴としている。また、前記スパッタ法におけるガス圧は、0.1 Pa ~ 3.0 Pa、好ましくは1.0 Pa ~ 2.0 Paとすることを特徴としている。

【0028】

また、前記スパッタ法におけるスパッタ電力は、300W ~ 15KW、好ましくは1KW ~ 9KW ($\phi 305 \text{ mm}$ の大きさのターゲット) とすることを特徴としている。即ち、単位面積当たりのスパッタ電力に換算すると、 $0.41 \text{ W/cm}^2 \sim 20.53 \text{ W/cm}^2$ 、好ましくは $1.37 \text{ W/cm}^2 \sim 12.32 \text{ W/cm}^2$ である。

【0029】

なお、本明細書中において「内部応力」は図28に示すように、基板52に対して薄膜51が収縮しようとするときには、基板52はそれを妨げる方向に引っ張られ薄膜51を内側にして変形し、これを引張応力と呼び、「+」方向の応力として表している。一方、薄膜51が伸張しようとするときには、基板52は押し縮められ薄膜51を外側にして変形するので、これを圧縮応力と呼び、「-」方向の応力として表している。

【0030】

なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電気的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という文言に「配線」は常に含められているものとする。

【0031】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【0032】

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 10/ 44

上述の課題を解決するために、本発明は、高純度な高融点金属からなるターゲットを用い、スパッタ法によって得られる高融点金属膜を配線材料として提供する。代表的にはタンクスチン(W)を高融点金属として用いることを本発明の特徴の一つとしている。

【0033】

ターゲットとしては純度の高い4N(99.99%)以上、好ましくは6N(99.9999%)以上のタンクスチンターゲットを用い、スパッタガスとしてはアルゴン(Ar)の単体ガスを用いる。

【0034】

また、本発明は、基板温度、スパッタガスの圧力(ガス圧)を調節することによって応力制御を行うことを特徴の一つとしている。基板温度を300°C以下とし、スパッタガスの圧力を1.0Pa~3.0Pa、好ましくは1.0Pa~2.0Paとすることにより膜の応力を、 $-5 \times 10^{10} \sim 5 \times 10^{10}$ dyn/cm²、好ましくは $-2 \times 10^{10} \sim 2 \times 10^{10}$ dyn/cm²、さらに好ましくは $-1 \times 10^{10} \sim 1 \times 10^{10}$ dyn/cm²とすることができる。

【0035】

また、本発明は、基板温度、スパッタガスの圧力(ガス圧)、またはスパッタ電力を調節することによって応力制御を行うことを特徴の一つとしている。

【0036】

また、従来では、スパッタ電力を大きくすると膜応力が増大していた。しかし、上記本願発明を利用することによって、膜応力の増大を抑制できるため、大きなスパッタ電力を投入することができ、スパッタレートを向上させることができる。

【0037】

上記スパッタ方法によって得られる本願のタンクスチン膜のナトリウム(Na)濃度及びカリウム(K)濃度をGDMS分析法によって分析した。その分析結果を表1及び図25に示す。

【0038】

【表1】

W膜中Na、K分析結果

放電時間(分)	1	4	6	9	11	14	16
Na ppm	0.08	0.02	0.01	0.02	0.01	0.01	<0.01
Si ppm	1.7	1.2	1.4	1.2	1.2	0.9	0.7
K ppm	<0.03	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

放電時間(分)	19	21	24	26	29	31	34
Na ppm	0.01	0.02	0.02	0.02	0.02	0.02	0.01
Si ppm	0.6	0.6	0.46	0.37	0.27	0.32	0.27
K ppm	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

放電時間(分)	36	39	41	44	46	49
Na ppm	0.02	0.02	0.02	0.02	0.02	0.02
Si ppm	0.2	0.19	0.16	0.17	0.19	12000
K ppm	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

※ 1) 分析値は、W=100%とした時のRSF換算濃度である。

【0039】

なお、本明細書中のGDMS分析法とは、グロー放電質量分析法 (Glow Discharge Mass Spectrometry) の略であり、グロー放電により試料をスパッタ、イオン化して取り出す固体質量分析法である。GDMS分析法は、安定したイオン源が得られることにより、微量分析法として広く活用されている分析方法である。

【0040】

表1及び図25に示したように、タンクステン膜のナトリウム (Na) 濃度を0.3ppm以下、好ましくは0.1ppm以下とすることができる、ゲート配線として用いても TFT特性に影響を与えない範囲内に抑えることができた。仮に、ゲート電極中にナトリウム (Na) 濃度が多く含まれていた場合は、TFT特性に悪影響を与えてしまう。

【0041】

また、半導体装置の配線を、タンクステン膜と、窒化されたタンクステン膜との積層構造としてもよい。例えば、絶縁表面上に窒化タンクステン (WN_x (但し、0 < x < 1)) を成膜後、タンクステン (W) を積層する。また、密着性向上させるために導電性を有する珪素膜 (例えばリンドープシリコン膜、ボロンドープシリコン膜等) を窒化タンクステン (WN_x) の下層に設ける構成としても

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 12/ 44

よい。なお、この配線の線幅は $5\text{ }\mu\text{m}$ 以下、膜厚は $0.1\sim0.7\text{ }\mu\text{m}$ で形成することができる。

【0042】

図26(a)に本発明のタンクスチン膜の応力値、図26(b)に熱処理(500°C、4時間)後の応力値、図26(c)に熱処理(800°C、4時間)後の応力値を示した。タンクスチン膜の成膜条件は、アルゴンガスの流量を100sccmとし、スパッタ電力を6kWとした。ただし、図26(b)及び図26(c)においては、熱処理する際、200nmの酸化窒化珪素膜SiO_xN_y(但し、 $0 < x, y < 1$)で覆っている。

【0043】

本発明のタンクスチン膜は、熱処理の温度を上げるにつれて、最初は引張応力を有する膜であったものが、熱処理を加えると、さらに引張応力が増加する傾向を有しているため、膜応力の制御を行いやすい。

【0044】

なお、本発明のタンクスチン膜は、成膜時の基板温度、圧力、スパッタ電力で応力を制御できる。タンクスチン膜の応力は、タンクスチン膜を覆って成膜する酸化窒化珪素膜の有無によってアニール後に変化する様子が異なる。すなわち酸化窒化珪素膜で覆われている場合、応力はアニール後引っ張り方向に変化し、覆われていない場合には圧縮方向に変化する。タンクスチン膜を覆って酸化窒化珪素膜を成膜する場合には、弱い圧縮応力に、酸化窒化珪素膜を成膜しない場合には弱い引張応力になるようタンクスチン膜の成膜条件を合わせ込んでおけばアニール後の応力を小さくすることが可能である。

【0045】

また、図30は、スパッタ電力と応力との関係を示したグラフである。図30にタンクスチン膜(膜厚400nm)の熱処理前の応力と、熱処理(550°C、4時間)後の応力をそれぞれ示した。このように、スパッタ電力を調節することによって応力を自由に調節することができる。また、図31に示すように、スパッタ電力を変化させると、抵抗率も変化する。図31にタンクスチン膜の熱処理前の抵抗率と、熱処理(550°C、4時間)後の抵抗率をそれぞれ示した。ただし

、図30及び図31に示したスパッタ電力は $\phi 305\text{ mm}$ の大きさのターゲットを用いたデータである。従って、単位面積当たりのスパッタ電力に換算できることは言うまでもない。

【0046】

また、一般的な高融点金属の比較例として、図26(a)にタンタルと窒化タンタルの積層膜の応力値、図26(b)に熱処理(500°C、4時間)後の応力値、図26(c)に熱処理(800°C、4時間)後の応力値を示している。同様に図26(b)及び図26(c)においては、熱処理する際、200nmの酸化窒化珪素膜SiO_xN_y(但し、0 < x, y < 1)で覆っている。

【0047】

図26(a)～図26(c)に示すように、タンタルと窒化タンタルの積層膜は、熱処理の温度を上げるにつれて、最初は引張応力を有する膜であったものが、熱処理を加えると、圧縮応力を有する膜へと移行する傾向があるため、膜応力の制御が困難である。

【0048】

また、図27(a)に本発明のタンクステン膜の抵抗率、図27(b)に熱処理(500°C、4時間)後の抵抗率、図27(c)に熱処理(800°C、4時間)後の抵抗率を示した。なお、ここでの抵抗率とは電気抵抗率のことである。

【0049】

図27(a)～図27(c)に示すように、本願のタンクステン膜は、低抵抗率(12～16μΩ・cm程度)を有しており、熱処理後もほとんど抵抗率の変化は見られない。なお、さらにスパッタ条件を適宜変更することによりタンクステン膜の抵抗率を12μΩ・cm以下、好ましくは9μΩ・cm程度にすることも可能である。

【0050】

一方、一般的な高融点金属は酸化に対して耐性がなく、数ppmの残留酸素が存在する雰囲気での熱処理で容易に酸化してしまっていた。その結果、電気抵抗率の増大や膜剥がれが生じていた。また、イオンドーピングの際、反応ガスに含まれている微量な酸素等の不純物元素が高融点金属膜に注入されることによっても

電気抵抗率が増大していた。

【0051】

例えば、タンタルと窒化タンタルの積層膜は、熱処理する際、200 nmの酸化窒化珪素膜Si_xO_yN_y（但し、0 < x, y < 1）で覆われているのにも関わらず、熱処理前の抵抗率（25 μΩ・cm程度）と比べて、熱処理後の抵抗率（50～80 μΩ・cm程度）は数倍に増大していた。

【0052】

また、通常、他の導電膜とのコンタクトを形成する場合には、他の導電膜を成膜する前に薄い酸化膜及び汚染物を除去するエッチング処理を行っている。次に、図29に示す構造を基板60上に形成する際、熱処理（500°C、1時間）の有無と、電極62（Al-Si（2wt%））の成膜前にエッチング処理（1/10希釈HF）の有無での、抵抗値の比較を行った結果を表2に示す。

【0053】

【表2】

アルミニウム配線とのコンタクト抵抗値

ケート材料	熱処理 (500°C, 1hr)	接触面積1 μm ² 当たりの 抵抗値(Ω)
	1/10HF処理	
W/WN	有り	1.3
	有り	1.3
	なし	1.2
	なし	0.87
Ta/TaN	有り	0.42k
	有り	0.42k
	なし	4.8
	なし	19.7

【0054】

なお、コンタクト数は50個とし、接触面積の合計は約420 μm²として、タンタルと窒化タンタルの積層構造を有する電極と、タンクステン膜と窒化タンクステン膜との積層構造を有する電極とで比較を行った。なお、表2においては、接触面積1 μm²当たりの抵抗値を示した。ここではこの接触面積1 μm²当たりの抵抗値をコンタクト抵抗値と呼ぶ。

【0055】

表2では、タンタルと窒化タンタルの積層構造を有する電極61と電極62（

A1-Si (2 wt%)とのコンタクト抵抗は、エッチング処理 (1/10希釈HF) が有りの場合のほうが、無しの場合よりも抵抗値は下がっている。また、タンタルと窒化タンタルの積層構造を有する配線のコンタクト抵抗は熱処理を施した場合、急激な増大が見られ、その値は0.4 kΩに達している。

【0056】

一方、タンクスチタン膜と窒化タンクスチタン膜との積層構造を有する電極61と電極62 (A1-Si (2 wt%))とのコンタクト抵抗は、熱処理及びエッチング処理 (1/10希釈HF) の有無に関わらず変化が見られない。本願のコンタクト抵抗値は、1.3 Ωと十分低い抵抗値を示している。このコンタクト抵抗値が、40 Ω以下、好ましくは10 Ω以下、さらに好ましくは5 Ω以下であれば配線として使用することが可能である。また、表2においては熱処理する際、図2のように酸化窒化珪素膜で覆っていない。

【0057】

即ち、本発明のタンクスチタン膜は、熱処理する際、酸化窒化珪素膜等で覆わなくとも抵抗率はほとんど変化しない。これらのことから、本発明のタンクスチタン膜は、非常に耐熱性が高く、且つ、酸化しにくい膜であることがわかる。また、本発明のタンクスチタン膜を用いた場合、このエッチング処理を省略することが可能である。

【0058】

本発明は、膜中に含まれるナトリウムが0.03 ppm以下であり、且つ、熱処理後も低い電気抵抗率 ($40 \mu\Omega \cdot cm$ 以下) を有し、応力が $-5 \times 10^{10} dyn/cm^2 \sim 5 \times 10^{10} dyn/cm^2$ 、好ましくは $-1 \times 10^{10} dyn/cm^2 \sim 1 \times 10^{10} dyn/cm^2$ に制御されたタンクスチタン膜をTFTのゲート配線材料やその他の配線材料として用いることにより、TFTを備えた半導体装置の動作性能や信頼性を大幅に向上させることができる。

【0059】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0060】

【実施例】**【実施例1】**

本発明の実施例について図1～図5を用いて説明する。ここでは画素部の画素TFTと、画素部の周辺に設けられる駆動回路のTFTを同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することにする。

【0061】

図1 (A)において、基板101には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20°C程度低い温度であらかじめ熱処理しておいても良い。この基板101のTFTを形成する表面には、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜102を50nm～400nmの膜厚で形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜を100nm、同様にSiH₄、N₂Oから作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

【0062】

次に、20～150nm(好ましくは30～80nm)の厚さで非晶質構造を有する半導体膜103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコングルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質シリコン膜103aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気に晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。(図1 (A))

【0063】

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 17/ 44

そして、公知の結晶化技術を使用して非晶質シリコン膜103aから結晶質シリコン膜103bを形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜103bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400～500°Cで1時間程度の熱処理を行い、含有水素量を5atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では55nm）よりも1～15%程度減少した。（図1（B））

【0064】

そして、結晶質シリコン膜103bを島状に分割して、島状半導体層104～107を形成する。その後、プラズマCVD法またはスパッタ法により50～100nmの厚さの酸化シリコン膜によるマスク層108を形成する。（図1（C））

【0065】

そしてレジストマスク109を設け、nチャネル型TFTを形成する島状半導体層105～107の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³程度の濃度でp型を付与する不純物元素としてボロン（B）を添加した。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでボロン（B）添加は必ずしも必要でないが、ボロン（B）を添加した半導体層110～112はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。（図1（D））

【0066】

駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層110、111に選択的に添加する。そのため、あらかじめレジストマスク113～116を形成した。n型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁： 18 / 44

加すべく、フォスフィン (PH_3) を用いたイオンドープ法を適用した。形成された不純物領域 117、118 のリン (P) 濃度は $2 \times 10^{16} \sim 5 \times 10^{19}$ atom s/cm³ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域 117～119 に含まれる n 型を付与する不純物元素の濃度を (n^-) と表す。また、不純物領域 119 は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン (P) を添加した。(図 2 (A))

【0067】

次に、マスク層 108 をフッ酸などにより除去して、図 1 (D) と図 2 (A) で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で 500～600°C で 1～4 時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrF エキシマレーザー光 (波長 248 nm) を用い、線状ビームを形成して、発振周波数 5～50 Hz、エネルギー密度 100～500 mJ/cm² として線状ビームのオーバーラップ割合を 80～98% として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0068】

そして、ゲート絶縁膜 120 をプラズマ CVD 法またはスパッタ法を用いて 10～150 nm の厚さでシリコンを含む絶縁膜で形成する。例えば、120 nm の厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図 2 (B))

【0069】

次に、ゲート電極を形成するために第 1 の導電層を成膜する。この第 1 の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層 (A) 121 と金属膜から成る導電層 (B) 122 とを積層させた。導電層 (B) 122 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜) で形成すれば良く

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 19/ 44

、導電層（A）121は窒化タンタル（TaN）、窒化タンゲステン（WN）、窒化チタン（TiN）膜、窒化モリブデン（MoN）で形成する。また、導電層（A）121は代替材料として、タンゲステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層（B）は低抵抗化を図るために含有する不純物濃度を低減させると良く、特にナトリウム濃度に関しては、0.1 ppm以下、酸素濃度に関しては1wt%以下とすると良かった。例えば、タンゲステン（W）は酸素濃度を0.2wt%以下とすることで $40\mu\Omega\cdot cm$ 以下、好ましくは $20\mu\Omega\cdot cm$ 以下の抵抗率を実現することができた。

【0070】

導電層（A）121は $10\sim50\text{ nm}$ （好ましくは $20\sim30\text{ nm}$ ）とし、導電層（B）122は $200\sim400\text{ nm}$ （好ましくは $250\sim350\text{ nm}$ ）とすれば良い。本実施例では、導電層（A）121として、 50 nm 厚の窒化タンゲステン（WNx）膜を、導電層（B）122として、 350 nm 厚のタンゲステン（W）膜を用いた。本実施例では、大気に触れることなく、連続的にスパッタ法を用いて積層形成した。

【0071】

本実施例では、6N（99.9999%）のタンゲステンターゲットを用い、スパッタガスとしてはアルゴン（Ar）の単体ガスを用いた。また、基板温度を 200°C 、スパッタガスの圧力を 1.5 Pa 、スパッタ電力を 6 kW とすることにより膜の応力を、 $-5\times10^{10}\sim5\times10^{10}\text{ dyn/cm}^2$ 、好ましくは $-2\times10^{10}\sim2\times10^{10}\text{ dyn/cm}^2$ 、さらに好ましくは $-1\times10^{10}\sim1\times10^{11}\text{ dyn/cm}^2$ の範囲内に制御した。こうして、本願のタンゲステン膜のナトリウム（Na）濃度はGDMS分析で 0.3 ppm 以下、好ましくは 0.1 ppm 以下とことができ、ゲート配線として用いてもTFT特性に影響を与えない範囲内にすることができた。また、本願のタンゲステン膜は熱処理を施しても抵抗率にほとんど変化がみられない。このように低抵抗で信頼性の高いゲート配線を用いればTFTの動作性能や信頼性を大幅に向上させることができた。

【0072】

尚、図示しないが、導電層（A）121の下に $2\sim20\text{ nm}$ 程度の厚さでリン

整理番号 = P 0 0 5 0 3 2

提出日 平成 12 年 6 月 28 日
特願2000-194104 頁: 20/ 44

(P) をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層 (A) または導電層 (B) が微量に含有するアルカリ金属元素がゲート絶縁膜 120 に拡散するのを防ぐことができる。(図 2 (C))

【0073】

次に、レジストマスク 123～127を形成し、導電層 (A) 121と導電層 (B) 122とを一括でエッチングしてゲート電極 128～131と容量配線 132を形成する。ゲート電極 128～131と容量配線 132は、導電層 (A) から成る 128a～132a と、導電層 (B) から成る 128b～132b とが一体として形成されている。この時、駆動回路に形成するゲート電極 129、130 は不純物領域 117、118 の一部と、ゲート絶縁膜 120 を介して重なるように形成する。(図 2 (D))

【0074】

次いで、駆動回路の p チャネル型 TFT のソース領域およびドレイン領域を形成するために、p 型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極 128 をマスクとして、自己整合的に不純物領域を形成する。このとき、n チャネル型 TFT が形成される領域はレジストマスク 133 で被覆しておく。そして、ジボラン (B_2H_6) を用いたイオンドープ法で不純物領域 134 を形成した。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域 134 に含まれる p 型を付与する不純物元素の濃度を (p^+) と表す。(図 3 (A))

【0075】

次に、n チャネル型 TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク 135～137を形成し、n 型を付与する不純物元素が添加して不純物領域 138～142を形成した。これは、フォスフィン (PH_3) を用いたイオンドープ法で行い、この領域のリン (P) 濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域 138～142 に含まれる n 型を付与する不純物元素の濃度を (n^+) と表す。(図 3 (B))

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 21/ 44**【0076】**

不純物領域138～142には、既に前工程で添加されたリン（P）またはボロン（B）が含まれているが、それに比して十分に高い濃度でリン（P）が添加されるので、前工程で添加されたリン（P）またはボロン（B）の影響は考えなくても良い。また、不純物領域138に添加されたリン（P）濃度は図3（A）で添加されたボロン（B）濃度の1/2～1/3なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0077】

そして、画素部のnチャネル型TFTのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極131をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。添加するリン（P）の濃度は $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³であり、図2（A）および図3（A）と図3（B）で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域143、144のみが形成される。本明細書中では、この不純物領域143、144に含まれるn型を付与する不純物元素の濃度を（n⁻⁻）と表す。（図3（C））

【0078】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。熱処理は酸素濃度が8ppm～9%の窒素雰囲気中で400～800°C、代表的には500～600°Cで行うものであり、本実施例では550°Cで4時間の熱処理を行った。また、基板101に石英基板のような耐熱性を有するものを使用した場合には、800°Cで1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

【0079】

この熱処理において、ゲート電極128～131と容量配線132形成する金

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 22/ 44

属膜128b～132bは、表面から5～80nmの厚さで導電層(C)128c～132cが形成される。例えば、導電層(B)128b～132bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層(C)128c～132cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気にゲート電極128～131を晒しても同様に形成することができる。さらに、3～100%の水素を含む雰囲気中で、300～450°Cで1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0080】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン(P)の濃度は図3(B)で形成した不純物領域(n^+)と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素をゲッタリングをすることができた。(図3(D))

【0081】

図6(A)および図7(A)はここまで工程におけるTFTの上面図であり、A-A'断面およびC-C'断面は図3(D)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図8(A)および図9(A)の断面図に対応している。図6および図7の上面図はゲート絶縁膜を省略しているが、ここまで工程で少なくとも島状半導体層104～107上にゲート電極128～131と容量配線132が図に示すように形成されている。

【0082】

活性化および水素化の工程が終了したら、ゲート配線とする第2の導電膜を形成する。この第2の導電膜は低抵抗材料であるアルミニウム(A1)、銅(Cu)、銀(Ag)、または合金(Ag-Pd-Cu)を主成分とする導電層(D)と、チタン(Ti)、タンタル(Ta)、タンクステン(W)、またはモリブデン(Mo)から成る導電層(E)とで形成すると良い。本実施例では、チタン(Ti)を0.1~2重量%含むアルミニウム(A1)膜を導電層(D)145とし、チタン(Ti)膜を導電層(E)146として形成した。導電層(D)145は200~400nm(好ましくは250~350nm)とすれば良く、導電層(E)146は50~200(好ましくは100~150nm)で形成すれば良い。(図4(A))

【0083】

そして、ゲート電極に接続するゲート配線を形成するために導電層(E)146と導電層(D)145とをエッチング処理して、ゲート配線147、148と容量配線149を形成した。エッチング処理は最初にSiCl₄とCl₂とBCl₃との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッティング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

【0084】

図6(B)および図7(B)はこの状態の上面図を示し、A-A'断面およびC-C'断面は図4(B)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図8(B)および図9(B)のB-B'およびD-D'に対応している。図6(B)および図7(B)において、ゲート配線147、148の一部は、ゲート電極128、129、131の一部と重なり電気的に接触している。この様子はB-B'断面およびD-D'断面に対応した図8(B)および図9(B)の断面構造図からも明らかで、第1の導電層を形成する導電層(C)と第2の導電層を形成する導電層(D)とが電気的に接触している。

【0085】

第1の層間絶縁膜150は500~1500nmの厚さで酸化シリコン膜また

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 24/ 44

は酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線151～154と、ドレイン配線155～158を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0086】

次に、パッシベーション膜159として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50～500nm（代表的には100～300nm）の厚さで形成する。この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中または窒素雰囲気中で、300～450°Cで1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜159に開口部を形成しても良い。（図4（C））

【0087】

図6（C）および図7（C）のはこの状態の上面図を示し、A-A'断面およびC-C'断面は図4（C）のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図8（C）および図9（C）のB-B'およびD-D'に対応している。図6（C）と図7（C）では第1の層間絶縁膜を省略して示すが、島状半導体層104、105、107の図示されていないソースおよびドレイン領域にソース配線151、152、154とドレイン配線155、156、158が第1の層間絶縁膜に形成されたコンタクトホールを介して接続している。

【0088】

その後、有機樹脂からなる第2の層間絶縁膜160を1.0～1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300°Cで焼成して

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 25/44

形成した。そして、第2の層間絶縁膜160にドレン配線158に達するコンタクトホールを形成し、画素電極161、162を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置するために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。(図5)

【0089】

こうして同一基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT201、第1のnチャネル型TFT202、第2のnチャネル型TFT203、画素部には画素TFT204、保持容量205が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0090】

駆動回路のpチャネル型TFT201には、島状半導体層104にチャネル形成領域206、ソース領域207a、207b、ドレン領域208a、208bを有している。第1のnチャネル型TFT202には、島状半導体層105にチャネル形成領域209、ゲート電極129と重なるLDD領域210(以降、このようなLDD領域をLovと記す)、ソース領域211、ドレン領域212を有している。このLov領域のチャネル長方向の長さは0.5~3.0μm、好ましくは1.0~1.5μmとした。第2のnチャネル型TFT203には、島状半導体層106にチャネル形成領域213、LDD領域214、215、ソース領域216、ドレン領域217を有している。このLDD領域はLov領域とゲート電極130と重ならないLDD領域(以降、このようなLDD領域をLoffと記す)とが形成され、このLoff領域のチャネル長方向の長さは0.3~2.0μm、好ましくは0.5~1.5μmである。画素TFT204には、島状半導体層107にチャネル形成領域218、219、Loff領域220~223、ソースまたはドレン領域224~226を有している。Loff領域のチャネル長方向の長さは0.5~3.0μm、好ましくは1.5~2.5μmである。さらに、容量配線132、149と、ゲート絶縁膜と同じ材料から成る絶縁膜と、

整理番号 = P 0 0 5 0 3 2

提出日 平成12年 6月28日
特願2000-194104 頁: 26/ 44

画素 TFT 204 のドレイン領域 226 に接続し、n 型を付与する不純物元素が添加された半導体層 227 とから保持容量 205 が形成されている。図 5 では画素 TFT 204 をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0091】

以上の様に、画素 TFT および駆動回路が要求する仕様に応じて各回路を構成する TFT の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができる。さらにゲート電極を耐熱性を有する導電性材料で形成することにより LDD 領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線を低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、画素部（画面サイズ）が 4 インチクラス以上の表示装置に適用することができる。

【0092】

【実施例 2】

図 16 はゲート電極とゲート配線の他の一例を示す図である。図 16 のゲート電極とゲート配線は実施例 1 で示す工程と同様にして形成されるものであり、島状半導体層 901 とゲート絶縁膜 902 の上方に形成されている。

【0093】

図 16 (A) において、ゲート電極とする第 1 の導電層には、導電層 (A) 903 は窒化タンタル (TaN) 、窒化タングステン (WN) 、窒化チタン (TiN) 膜、窒化モリブデン (MoN) で形成する。導電層 (B) 904 はタンタル (Ta) 、チタン (Ti) 、モリブデン (Mo) 、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜で形成し、その表面に実施例 1 と同様にして導電層 (C) 905 を形成する。導電層 (A) 903 は 10 ~ 50 nm (好ましくは 20 ~ 30 nm) とし、導電層 (B) 904 は 200 ~ 400 nm (好ましくは 250 ~ 350 nm) とすれば良い。ゲート配線とする第 2 の導電層は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) と、その上にチタン (Ti) やタンタル (Ta) などで形成する導電層 (E) とを積層形成する。アルミニウム (Al)

1) や銅 (Cu) はストレスマイグレーションやエレクトロマイグレーションで容易に拡散するため、第2の導電層を被覆するように窒化シリコン膜908を50～150nmの厚さで形成することが必要である。

【0094】

図16 (B) は実施例1と同様に作製されるゲート電極とゲート配線であり、ゲート電極の下にリン (P) をドープしたシリコン膜909を形成してある。リン (P) をドープしたシリコン膜909はゲート電極中に含まれる微量のアルカリ金属元素がゲート絶縁膜へ拡散することを防ぐ効果があり、TFTの信頼性を確保する目的で有用である。

【0095】

図16 (C) は、ゲート電極を形成する第1の導電層にリン (P) をドープしたシリコン膜910で形成した例である。リン (P) をドープしたシリコン膜は他の導電性金属材料と比較して高抵抗材料であるが、ゲート配線を形成することにより、大面積の液晶表示装置にも適用することができる。ここでは、ゲート配線を、Ti膜911を100nm、Tiを含むアルミニウム (Al) 膜912を300nm、Ti膜913を150nmで形成した3層構造とし、アルミニウム (Al) 膜とリン (P) をドープしたシリコン膜とを直接接触しないようにすることにより、耐熱性を持たせることができる。

【0096】

[実施例3]

図15は本発明のTFTの構造を説明するための図であり、半導体層のチャネル形成領域と、LDD領域と、半導体層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極とを有するTFTにおいて、ゲート電極とLDD領域の位置関係を説明している。

【0097】

図15 (A)において、チャネル形成領域209、LDD領域210、ドレン領域212を有する半導体層と、その上のゲート絶縁膜120とゲート電極129が設けられた構成を示している。LDD領域210はゲート絶縁膜120を

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 28/ 44

介してゲート電極129と重なるように設けられたLovとなっている。Lovはドレイン近傍で発生する高電界を緩和する作用があり、ホットキャリアによる劣化を防ぐことができ、制御回路のシフトレジスタ回路、レベルシフタ回路、バッファ回路などのnチャネル型TFTに用いるのに適している。

【0098】

図15 (B)において、チャネル形成領域213、LDD領域215a、215b、ドレイン領域217を有する半導体層と、半導体層の上にゲート絶縁膜120とゲート電極130が設けられた構成を示している。LDD領域215aはゲート絶縁膜120を介してゲート電極130と重なるように設けられている。また、LDD領域215bはゲート電極130と重ならないように設けられたLooffとなっている。Looffはオフ電流値を低減させる作用があり、LovとLooffとを設けた構成にすることで、ホットキャリアによる劣化を防ぐと同時にオフ電流値を低減させることができ、制御回路のサンプリング回路のnチャネル型TFTに用いるのに適している。

【0099】

図15 (C)は、半導体層に、チャネル形成領域219、LDD領域223、ドレイン領域226が設けられている。LDD領域223は、ゲート電極131と重ならないように設けられたLooffであり、オフ電流値を効果的に低減させることができ可能となり、画素TFTに用いるのに適している。画素TFTのLDD領域223におけるn型を付与する不純物元素の濃度は、駆動回路のLDD領域210、215の濃度よりも1/2から1/10にすることが望ましい。

【0100】

[実施例4]

本実施例では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図11に示すように、実施例1で作製した図5の状態のアクティブマトリクス基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板602には、遮光膜603、透明導電膜604および配向膜605を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチル

整理番号=P005032提出日 平成12年 6月28日
特願2000-194104 頁: 29/ 44

ト角を持って配向するようにした。そして、画素部と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料606を注入し、封止剤（図示せず）によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図11に示すアクティブマトリクス型液晶表示装置が完成した。

【0101】

次にこのアクティブマトリクス型液晶表示装置の構成を、図12の斜視図および図13の上面図を用いて説明する。尚、図12と図13は、図1～図5と図11の断面構造図と対応付けるため、共通の符号を用いている。また、図13で示すE-E'に沿った断面構造は、図5に示す画素部の断面図に対応している。

【0102】

図12においてアクティブマトリクス基板は、ガラス基板101上に形成された、画素部306と、走査信号駆動回路304と、画像信号駆動回路305で構成される。画素部には画素TFT204が設けられ、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路304と、画像信号駆動回路305はそれぞれゲート配線148とソース配線154で画素TFT204に接続している。また、FPC731が外部入力端子734に接続され、入力配線302、303でそれぞれの駆動回路に接続している。

【0103】

図13は画素部306のほぼ一画素分を示す上面図である。ゲート配線148は、図示されていないゲート絶縁膜を介してその下の半導体層107と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、n⁻領域でなるLooff領域が形成されている。また、163はソース配線154とソース領域224とのコンタクト部、164はドレイン配線158とドレイン領域226とのコンタクト部、165はドレイン配線158と画素電極161のコンタクト部である。保持容量205は、画素TFT204のドレイン領域226から延在する半導体層227とゲート絶縁膜を介して容量配線132、149が重なる領域で形成されている。

整理番号 = P 0 0 5 0 3 2

提出日 平成 12 年 6 月 28 日
特願2000-194104 頁: 30 / 44

【0104】

なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例1で説明した構造と照らし合わせて説明したが、実施例2の構成とも自由に組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【0105】

[実施例5]

図10は液晶表示装置の入出力端子、画素部、駆動回路の配置の一例を示す図である。画素部306にはm本のゲート配線とn本のソース配線がマトリクス状に交差している。例えば、画素密度がVGAの場合、480本のゲート配線と640本のソース配線が形成され、XGAの場合には768本のゲート配線と1024本のソース配線が形成される。画素部の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。このような液晶表示装置を実現するには、ゲート配線を実施例1および実施例2で示したような低抵抗材料で形成する必要がある。

【0106】

画素部306の周辺には走査信号駆動回路304と画像信号駆動回路305が設けられている。これらの駆動回路のゲート配線の長さも画素部の画面サイズの大型化と共に必然的に長くなるので、大画面を実現するためには実施例1および実施例2で示したような低抵抗材料で形成することが好ましい。

【0107】

また、本発明は入力端子301から各駆動回路までを接続する入力配線302、303をゲート配線と同じ材料で形成することができ、配線抵抗の低抵抗化に寄与することができる。

【0108】

[実施例6]

図14は実施例1または実施例2で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。本実施例のアクティブマトリクス基板は、画像信号駆動回路1001、走査信号駆動回路(A)1007、走査信号駆動回路(B)1011、プリチャージ回路1012、画素

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 31/ 44

部1006を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路1001、走査信号駆動回路(A)1007を含めた総称である。

【0109】

画像信号駆動回路1001は、シフトレジスタ回路1002、レベルシフタ回路1003、バッファ回路1004、サンプリング回路1005を備えている。また、走査信号駆動回路(A)1007は、シフトレジスタ回路1008、レベルシフタ回路1009、バッファ回路1010を備えている。走査信号駆動回路(B)1011も同様な構成である。

【0110】

シフトレジスタ回路1002、1008は駆動電圧が5～16V（代表的には10V）であり、この回路を形成するCMOS回路のnチャネル型TFTは図5の202で示される構造が適している。また、レベルシフタ回路1003、1009やバッファ回路1004、1010は駆動電圧が14～16Vと高くなるが、シフトレジスタ回路と同様に、図5のnチャネル型TFT202を含むCMOS回路が適している。これらの回路において、ゲートをマルチゲート構造で形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

【0111】

サンプリング回路1005は駆動電圧が14～16Vであるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図5のnチャネル型TFT203を含むCMOS回路が適している。図5では、nチャネル型TFTしか表示はされていないが、実際のサンプリング回路においてはpチャネル型TFTも組み合わせて形成される。この時、pチャネル型TFTは同図201で示される構造で十分である。

【0112】

また、画素TFT204は駆動電圧が14～16Vであり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、画素TFT204のようにゲート電極に対して重ならないように設けられたLDD(L_{off})領域を有した構造とするのが望ましい。

【0113】

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁： 32 / 44

尚、本実施例の構成は、実施例1に示した工程に従ってTFTを作製することによって容易に実現することができる。本実施例では、画素部と駆動回路の構成のみを示しているが、実施例1の工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ、γ補正回路、オペアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に画素部とその駆動回路とを含む半導体装置、例えば信号駆動回路および画素部を具備した半導体装置を実現することができる。

[0 1 1 4]

[実施例 7]

図17に本発明を利用して絶縁表面上に形成された様々な配線構造の一例を示す。図17(A)には絶縁表面を有する膜(または基板)1700上にタンゲステンを主成分とする材料1701からなる単層構造の配線の断面図を示した。この配線は、ターゲットとしては純度が6Nのものを用い、スパッタガスとしてはアルゴン(Ar)の単体ガスを用いて形成した膜をパターニングして形成したものである。なお、基板温度を300°C以下とし、スパッタガスの圧力を1.0Pa～3.0Paとして応力を制御し、他の条件(スパッタパワー等)は適宜実施者が決定すればよい。

[0115]

こうして得られる配線 1701 は、配線材料中にアルゴンを含むものの、その他の不純物元素がほとんど含まれておらず、特にナトリウムの含有量は、0.3 ppm 以下、好ましくは 0.1 ppm 以下、且つ、酸素濃度は 1 wt%、好ましくは 0.2 wt% 以下とすることができ、電気抵抗率は $40 \mu\Omega \cdot \text{cm}$ 以下、好ましくは $20 \mu\Omega \cdot \text{cm}$ 以下、代表的には、 $6 \mu\Omega \cdot \text{cm} \sim 15 \mu\Omega \cdot \text{cm}$ とすることができる。また、膜の応力は、 $-5 \times 10^{10} \sim 5 \times 10^{10} \text{ dyn/cm}^2$ の範囲内に制御することができる。また、800°Cの熱処理を施しても電気抵抗率は変わらない。

[0116]

また、図17(B)は、二層構造を示した。なお、窒化タンゲステン(WNx)

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 33/ 44

) を下層とし、タングステンを上層としている。なお、窒化タングステン膜1702は10～50nm（好ましくは10～30nm）とし、タングステン膜1703は200～400nm（好ましくは250～350nm）とすれば良い。本実施例では、大気に触れることなく、連続的にスパッタ法を用いて積層形成した。

【0117】

また、図17（C）は、絶縁表面を有する膜（または基板）1700上に形成されたタングステンを主成分とする材料からなる配線1704を絶縁膜1705で覆った例である。絶縁膜1705は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜SiO_xN_y（但し、0 < x, y < 1）またはそれらを組み合わせた積層膜で形成すれば良い。

【0118】

また、図17（D）は、絶縁表面を有する膜（または基板）1700上に形成されたタングステンを主成分とする材料からなる配線1706の表面を窒化タングステン膜1707で覆った例である。なお、図17（A）の状態の配線にプラズマ窒化等の窒化処理を施すと図17（D）の構造が得られる。

【0119】

また、図17（E）は、絶縁表面を有する膜（または基板）1700上に形成されたタングステンを主成分とする材料からなる配線1709を窒化タングステン膜1710、1708で囲った例である。この構造は実施例3に示したものと形状は同一である。なお、図17（B）の状態の配線にプラズマ窒化等の窒化処理を施すと図17（E）の構造が得られる。

【0120】

また、図17（F）は、図17（E）の状態を形成した後、絶縁膜1711で覆った例である。絶縁膜1711は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。

【0121】

このように、本発明は様々な配線構造に適用することができる。本実施例の構成は、実施例1～6に示したいずれの構成とも自由に組み合わせることが可能で

ある。

【0122】

[実施例8]

本実施例は、対角1インチ以下のアクティブマトリクス型液晶表示装置において、ゲート配線とその上層配線とが重なった領域に第2の層間絶縁膜を設け、寄生容量を低減させたアクティブマトリクス基板の構造を図18～図20を用いて示す。なお、基本的な構造は、本出願人による特願平11-154432号出願に記載された構造と同一である。

【0123】

図18に示すように、本実施例では、開口率を向上させるため、画素TFTを構成するnチャネル型TFT1804のチャネル形成領域と重なるゲート電極の一部または全部と第2配線（ソース線またはドレイン線）1854、1857とを重ねる構成とする。また、ゲート電極と第2配線1854、1857の間に第1層間絶縁膜1849及び第2層間絶縁膜1850cを設け、寄生容量を低減する。なお、ゲート電極と第2配線が重なる領域のみに選択的に第2層間絶縁膜1850cが設けられている。

【0124】

また、図18において、1859は第3層間絶縁膜、1860は遮光膜、1861は、遮光膜1860の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により形成した酸化物である。また、1862は酸化インジウム・スズ（ITO）膜からなる画素電極である。なお、画素電極1863は隣接する別の画素の画素電極である。

【0125】

また、画素電極1862と遮光膜1860とが陽極酸化物1861を介して重なり、保持容量（キャッシュ・ストレージ）1864を構成する。なお、遮光膜1860をフローティング状態（電気的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0126】

なお、図19（B）は第2配線（ソース線またはドレイン線）1854、1857形成直後の画素部の上面図の一部を共通の符号を用いて示した。また、図19（A）は、ゲート配線形成直後の上面図である。

【0127】

また、pチャネル型TFT1801、nチャネル型TFT1802、nチャネル型TFT1803等を備えた駆動回路においては、絶縁膜1815上に設けられたゲート配線と第2配線1851とが交差して重なっている領域に第2層間絶縁膜1850bを選択的に形成すればよい。なお、図20（B）に図18に対応する駆動回路の上面図を共通の符号を用いて示した。また、図20（A）は、ゲート配線形成直後の上面図である。

【0128】

なお、図18に示されるTFT1801～1804のゲート配線は、窒化タンゲステン膜1702タンゲステン膜1703の積層構造とした。このゲート配線は、実施の形態に示したスパッタ法を用いたため、配線中のナトリウムの含有量が、0.3ppm以下、好ましくは0.1ppm以下、且つ、酸素濃度は1wt%、好ましくは0.2wt%以下とすることができ、電気抵抗率は $6\mu\sim15\mu\Omega\cdot cm$ とすることができた。また、膜の応力は、 $-1\times10^{10}\sim1\times10^{10} dyN/cm^2$ の範囲内に制御することができた。

【0129】

このように、実施の形態に示したスパッタ法を用いることによって、低抵抗で信頼性の高い配線を得ることができ、TFTの動作性能や信頼性を大幅に向上させることができた。

【0130】

〔実施例9〕

本実施例では、本発明をシリコン基板上に作製した反射型液晶表示装置に適用した場合について説明する。本実施例は、実施例1において、結晶質シリコン膜でなる活性層の代わりに、シリコン基板（シリコンウェハ）に直接的にn型またはp型を付与する不純物元素を添加し、TFT構造を実現すれば良い。また、反射型であるので、画素電極として反射率の高い金属膜（例えばアルミニウム、銀

、またはこれらの合金（A1-Ag合金）等を用いれば良い。

【0131】

なお、本実施例の構成は、実施例1～8のいずれの構成とも自由に組み合わせることが可能である。

【0132】

[実施例10]

本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI基板を用いることも可能である。

【0133】

なお、本実施例の構成は、実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

【0134】

[実施例11]

本発明はアクティブマトリクス型ELディスプレイに適用することも可能である。その例を図21に示す。

【0135】

図21はアクティブマトリクス型ELディスプレイの回路図である。11は画素部を表しており、その周辺にはX方向駆動回路12、Y方向駆動回路13が設けられている。また、画素部11の各画素は、スイッチ用TFT14、保持容量15、電流制御用TFT16、有機EL素子17を有し、スイッチ用TFT14にX方向信号線18a（または18b）、Y方向信号線19a（または19b、19c）が接続される。また、電流制御用TFT16には、電源線20a、20bが接続される。

【0136】

本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路12、Y方向駆動回路13に用いられるTFTを図5のpチャネル型TFT201、

nチャネル型TFT202または203を組み合わせて形成する。また、スイッチ用TFT14や電流制御用TFT16のTFTを図5のnチャネル型TFT204で形成する。

【0137】

なお、本実施例の構成は、実施例1～10のいずれの構成とも自由に組み合わせることが可能である。

【0138】

[実施例12]

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDLC（ポリマー分散型液晶）、FLC（強誘電性液晶）、AFLC（反強誘電性液晶）、またはFLCとAFLCの混合物が挙げられる。

【0139】

例えば、「H. Furue et al. ; Charakteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、「T. Yoshida et al. ; A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、または米国特許第5,594,569号に開示された材料を用いることができる。

【0140】

特に、しきい値なし（無しきい値）の反強誘電性液晶（Thresholdless Antiferroelectric LCD : TL-AFLCと略記する）を使うと、液晶の動作電圧を±2.5V程度に低減しうるため電源電圧として5～8V程度で済む場合がある。即ち、ドライバー回路と画素部と同じ電源電圧で動作させることができるとなり、液晶表示装置全体の低消費電力化を図ることができる。

【0141】

また、無しきい値反強誘電性液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0142】

ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を図22に示す。図22に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶パネルにおける入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスマクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0143】

また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。上記実施例で用いるような結晶質TFTは非常に動作速度の速いTFTを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0144】

なお、本実施例の液晶表示装置をパソコン用等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0145】

また、本実施例の構成は、実施例1～10のいずれの構成とも自由に組み合わせることが可能である。

【0146】**[実施例13]**

本発明を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

【0147】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ウェアラブルディスプレイ、カーナビゲーション、パソコン用コンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図23に示す

【0148】

図23 (A) はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004で構成される。本願発明を画像入力部2002、表示部2003やその他の信号駆動回路に適用することができる。

【0149】

図23 (B) はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示部2102、音声入力部2103やその他の信号駆動回路に適用することができる。

【0150】

図23 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明は表示部2205やその他の信号駆動回路に適用できる。

【0151】

図23 (D) はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明は表示部2302やその他の信号駆動回路に適用することができる。

【0152】

図23 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD (Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号駆動回路に適用することができる。

【0153】

図23 (F) はデジタルカメラであり、本体2501、表示部2502、接眼

部2503、操作スイッチ2504、受像部（図示しない）で構成される。本願発明を表示部2502やその他の信号駆動回路に適用することができる。

【0154】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～12のどのような組み合わせからなる構成を用いても実現することができる。

【0155】

〔実施例14〕

本発明を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

【0156】

その様な電子機器としては、プロジェクター（リア型またはフロント型）などが挙げられる。それらの一例を図24に示す。

【0157】

図24（A）はフロント型プロジェクターであり、表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号駆動回路に適用することができる。

【0158】

図24（B）はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号駆動回路に適用することができる。

【0159】

なお、図24（C）は、図24（A）及び図24（B）中における表示装置2601、2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 41/ 44

えば単板式であってもよい。また、図24(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0160】

また、図24(D)は、図24(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図24(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0161】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～8及び実施例12のどのような組み合わせからなる構成を用いても実現することができる。

【0162】

[実施例15]

本発明はTFT構造に限定されず、様々なTFT構造のゲート配線やソース配線やドレイン配線に用いることが可能である。本実施例では、本発明を逆スタガ型のTFTのゲート配線に用いた例を示す。

【0163】

図32において逆スタガ型のTFTの一例を示す。図32において、1901は基板、1902はゲート電極、1903a、1903bはゲート絶縁膜、1904はチャネル形成領域、1905、1906は高濃度不純物領域（ソース領域またはドレイン領域）、1907、1908は低濃度不純物領域（LDD領域）、1909はチャネル形成領域を保護する絶縁層、1910は層間絶縁膜、1911、1912は高濃度不純物領域と接続する電極（ソース電極またはドレイン電極）である。

【0164】

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 42/ 44

ゲート電極1902の形成手段としては本発明のスパッタ法を用いて10~1000nm、好ましくは30~300nmの膜厚範囲の導電膜を形成した後、公知のパターニング技術で形成した。

【0165】

また、積層構造のゲート絶縁膜1903a、1903bを用いた。下層のゲート絶縁膜1903aとしては、基板やゲート配線からの不純物の拡散を効果的に防止する窒化シリコン膜等を膜厚10nm~60nmの膜厚範囲で形成した。ただし、積層構造に限定されることなく単層であってもよい。

【0166】

なお、ここでは半導体にn型を付与する不純物元素としてリンを用いたnチャネル型TFTを作製したが、n型を付与する不純物元素に代えてp型を付与する不純物元素としてボロンを用いればpチャネル型TFTを作製することができる。また、ここでは、低濃度不純物領域を設けた例を示したが、TFTの信頼性に問題がなければ設けなくともよい。

【0167】

また、ゲート電極に限らず、電極1911、1912に本発明のスパッタ法を用いた膜を用いてもよい。

【0168】

このようなTFTを用いた基本論理回路を用いて駆動回路や画素部を形成することができる。

【0169】

また、本実施例は実施例1乃至12のいずれか一と自由に組み合わせができる。

【0170】

【発明の効果】

本願発明を用いることで配線に含まれるナトリウムが0.03ppm以下、好ましくは0.01ppm以下であり、且つ、低い電気抵抗率(40μΩ·cm以下)を有し、応力が $-5 \times 10^{10} \text{ dyn/cm}^2 \sim 5 \times 10^{10} \text{ dyn/cm}^2$ 、好ましくは $-2 \times 10^{10} \text{ dyn/cm}^2 \sim 2 \times 10^{10} \text{ dyn/cm}^2$ 、さらに好ましく

提出日 平成12年6月28日
特願2000-194104 頁：43/44

整理番号=P005032

は -1×10^{10} dyn/cm²～ 1×10^{10} dyn/cm²に制御された配線を形成することができる。

【0171】

また、本発明の配線は、800°C程度の熱処理を施しても低い電気抵抗率（40 μΩ·cm以下）を維持することができる。

【0172】

加えて、タンクスチンを主成分とする配線の表面に窒化タンクスチンを形成することによって、低抵抗で信頼性の高い配線を得ることができ、半導体装置（ここでは具体的に電気光学装置）の動作性能や信頼性を大幅に向上させることができる。

【図面の簡単な説明】

- 【図1】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。
- 【図2】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。
- 【図3】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。
- 【図4】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。
- 【図5】 画素TFT、保持容量、駆動回路のTFTの断面図。
- 【図6】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す上面図。
- 【図7】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す上面図。
- 【図8】 駆動回路のTFTの作製工程を示す上面図。
- 【図9】 画素TFTの作製工程を示す上面図。
- 【図10】 液晶表示装置の入出力端子、配線回路配置を示す上面図。
- 【図11】 液晶表示装置の構造を示す断面図。
- 【図12】 液晶表示装置の構造を示す斜視図。
- 【図13】 画素部の画素を示す上面図
- 【図14】 液晶表示装置の回路ブロック図
- 【図15】 ゲート電極とLDD領域の位置関係を示す図。
- 【図16】 ゲート電極とゲート配線の接続を示す図。
- 【図17】 配線構造を示す断面図。
- 【図18】 画素TFT、保持容量、駆動回路のTFTの断面図。

- 【図 19】 画素TFTの上面図の一部。
- 【図 20】 駆動回路のTFTの上面図。
- 【図 21】 アクティブマトリクス型EL表示装置の構成を示す図。
- 【図 22】 無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図。
- 【図 23】 電子機器の一例を示す図。
- 【図 24】 電子機器の一例を示す図。
- 【図 25】 GDMS の分析結果を示す図。
- 【図 26】 スパッタ圧と応力の関係を示す図。
- 【図 27】 スパッタ圧と電気抵抗率の関係を示す図。
- 【図 28】 引張応力と圧縮応力の説明図。
- 【図 29】 コンタクト抵抗を測定するためのコンタクトチェーンを示す図。
- 【図 30】 スパッタ電力と応力の関係を示す図。
- 【図 31】 スパッタ電力と電気抵抗率の関係を示す図。
- 【図 32】 TFT の断面図。

Declaration and Power of Attorney For Patent Application

特許出願宣言書及び委任状

Japanese Language Declaration

日本語宣言書

下記の氏名の発明者として、私は以下の通り宣言します。

As a below named inventor, I hereby declare that:

私の住所、私書箱、国籍は下記の私の氏名の後に記載された通りです。

My residence, post office address and citizenship are as stated next to my name.

下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者(下記の氏名が一つの場合)もしくは最初かつ共同発明者であると(下記の名称が複数の場合)信じています。

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled

WIRING MATERIAL, SEMICONDUCTOR DEVICE PROVIDED WITH A WIRING USING THE WIRING MATERIAL AND METHOD OF MANUFACTURING THEREOF

上記発明の明細書(下記の欄で×印がついていない場合は、本書に添付)は、

The specification of which is attached hereto unless the following box is checked:

月 日に提出され、米国出願番号または特許協定条約国際出願番号を _____ とし、
(該当する場合) _____ に訂正されました。

was filed on June 28, 2000 as
United States Application Number or PCT
International Application Number
09/604,997 and was amended on
_____ (if applicable).

私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

私は、連邦規則法典第37編第1条56項に定義されるとおり、特許資格の有無について重要な情報を開示する義務があることを認めます。

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56.

Japanese Language Declaration (日本語宣言書)

私は、米国法典第 35 編 119 条(a)-(d)項又は 365 条(b)項に基き下記の、米国以外の国の少なくとも一ヵ国を指定している特許協力条約 365(a)項に基く国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

I hereby claim foreign priority under Title 35, United States Code, Section 119(a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s) 外国での先行出願

Priority Not Claimed 優先権主張なし

<u>11-183258</u> (Number) (番号)	<u>Japan</u> (Country) (国名)	<u>June 29, 1999</u> (Day/Month/Year Filed) (出願年月日)	<input type="checkbox"/>
<u>2000-194104</u> (Number) (番号)	<u>Japan</u> (Country) (国名)	<u>June 28, 2000</u> (Day/Month/Year Filed) (出願年月日)	<input type="checkbox"/>
<u> </u> (Number) (番号)	<u> </u> (Country) (国名)	<u> </u> (Day/Month/Year Filed) (出願年月日)	<input type="checkbox"/>

私は、第 35 編米国法典 119 条(e)項に基いて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, Section 119(e) of any United States provisional application(s) listed below.

<u>(Application No.)</u> (出願番号)	<u>(Filing Date)</u> (出願日)	<u>(Application No.)</u> (出願番号)	<u>(Filing Date)</u> (出願日)
私は、下記の米国法典第 35 編 120 条に基いて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約 365 条(c)に基く権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第 35 編 112 条第 1 項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願提出日以降で本出願書の日本国内または特許協力条約国提出日までの期間中に入手された、連邦規制法典第 37 編 1 条 56 項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。			

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365(c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application.

<u>(Application No.)</u> (出願番号)	<u>(Filing Date)</u> (出願日)	<u>(Status: Patented, Pending, Abandoned)</u> (現況: 特許許可済、継続中、放棄済)
------------------------------------	-------------------------------	--

(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況: 特許許可済、継続中、放棄済)
(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況: 特許許可済、継続中、放棄済)
(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況: 特許許可済、継続中、放棄済)
(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況: 特許許可済、継続中、放棄済)
(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況: 特許許可済、継続中、放棄済)
(Application No.) (出願番号)	(Filing Date) (出願日)	(Status: Patented, Pending, Abandoned) (現況: 特許許可済、継続中、放棄済)

私は、私自身の知識に基いて本宣言書中で私が行う表明が真実であり、かつ私の入手した情報と私の信じるところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第 18 編第 1001 条に基き、罰金または拘禁、もしくはその両方により处罚されること、そしてそのような故意による虚偽の声明を行えば、出願した、又は既に許可された特許の有効性が失われる事を認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Japanese Language Declaration (日本語宣言書)

委任状：私は下記の発明者として、本出願に関する一切の手続きを米特許商標局に対して遂行する弁護士または代理人として、下記の者を指名いたします。（弁護士、または代理人の氏名及び登録番号を明記のこと）

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith (list name and registration number).

Edward D. Manzo (Reg. No. 28, 139)

ここに署名する者は、この申請に関して米国特許商標局においてなされるべき如何なる行動に関しても、ここに指名された米国弁護士または代理人が、米国弁護士または代理人とここに署名した者との間で直接の連絡を取ることなしに、
_____からの指示を受け入れてそれに従う権限を与える。指示を出す人物に変更がある場合は、ここに指名された米国弁護士または代理人は、ここに署名した者からその旨通知を受ける。

The undersigned hereby authorizes any U. S. attorney or agent named herein to accept and follow instructions from _____ as to any action to be taken in the Patent and Trademark Office regarding this application without direct communication between the U. S. attorney or agent and the undersigned. In the event of a change in the persons from whom instructions may be taken, the U. S. attorneys or agents named herein will be so notified by the undersigned.

書類送付先

Send Correspondence to:

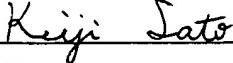
COOK, ALEX, McFARRON, MANZO,
CUMMINGS & MEHLER, LTD.
200 WEST ADAMS STREET
SUITE 2850
CHICAGO, IL 60606

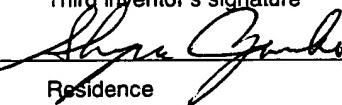
直接電話連絡先：（名前及び電話番号）

Direct Telephone Calls to: (name and telephone number)

Edward D. Manzo
(312) 236-8500

唯一または第一発明者名	Full name of sole or first inventor		
	Toru TAKAYAMA		
発明者の署名	日付	Inventor's signature	Date
		Toru Takayama	11/08/2000
住所	Residence		
	Kanagawa, Japan		
国籍	Citizenship		
	Japanese		
私書箱	Post Office Address		
	c/o Semiconductor Energy Laboratory Co., Ltd.		
	398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan		

第二共同発明者名	Full name of second joint inventor, if any		
	Keiji SATO		
第二共同発明者署名	日付	Second inventor's signature	Date
			11/08/2000
住所	Residence		
	Kanagawa, Japan		
国籍	Citizenship		
	Japanese		
私書箱	Post Office Address		
	c/o Semiconductor Energy Laboratory Co., Ltd.		
	398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan		

第三共同発明者名	Full name of third joint inventor, if any		
	Shunpei YAMAZAKI		
第三共同発明者署名	日付	Third inventor's signature	Date
			11/08/2000
住所	Residence		
	Tokyo, Japan		
国籍	Citizenship		
	Japanese		
私書箱	Post Office Address		
	c/o Semiconductor Energy Laboratory Co., Ltd.		
	398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan		

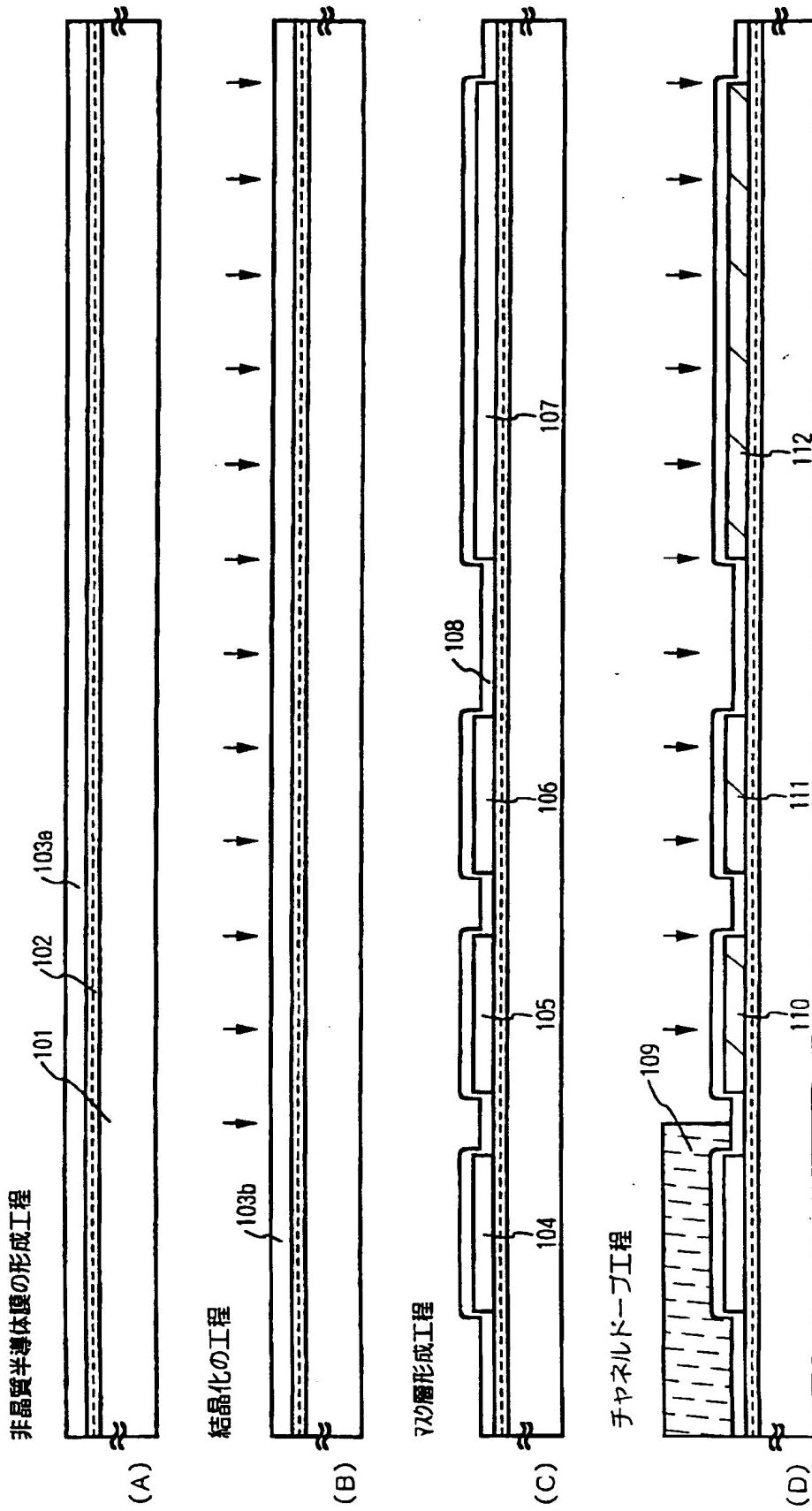
第四共同発明者名	Full name of fourth joint inventor, if any		
第四共同発明者署名	日付	Fourth inventor's signature	Date
住所	Residence		
国籍	Citizenship		
私書箱	Post Office Address		

整理番号 = P 0 0 5 0 3 2

提出日 平成 12 年 6 月 28 日
特願 2000-194104 頁: 1 / 31

【書類名】 図面

【図 1】



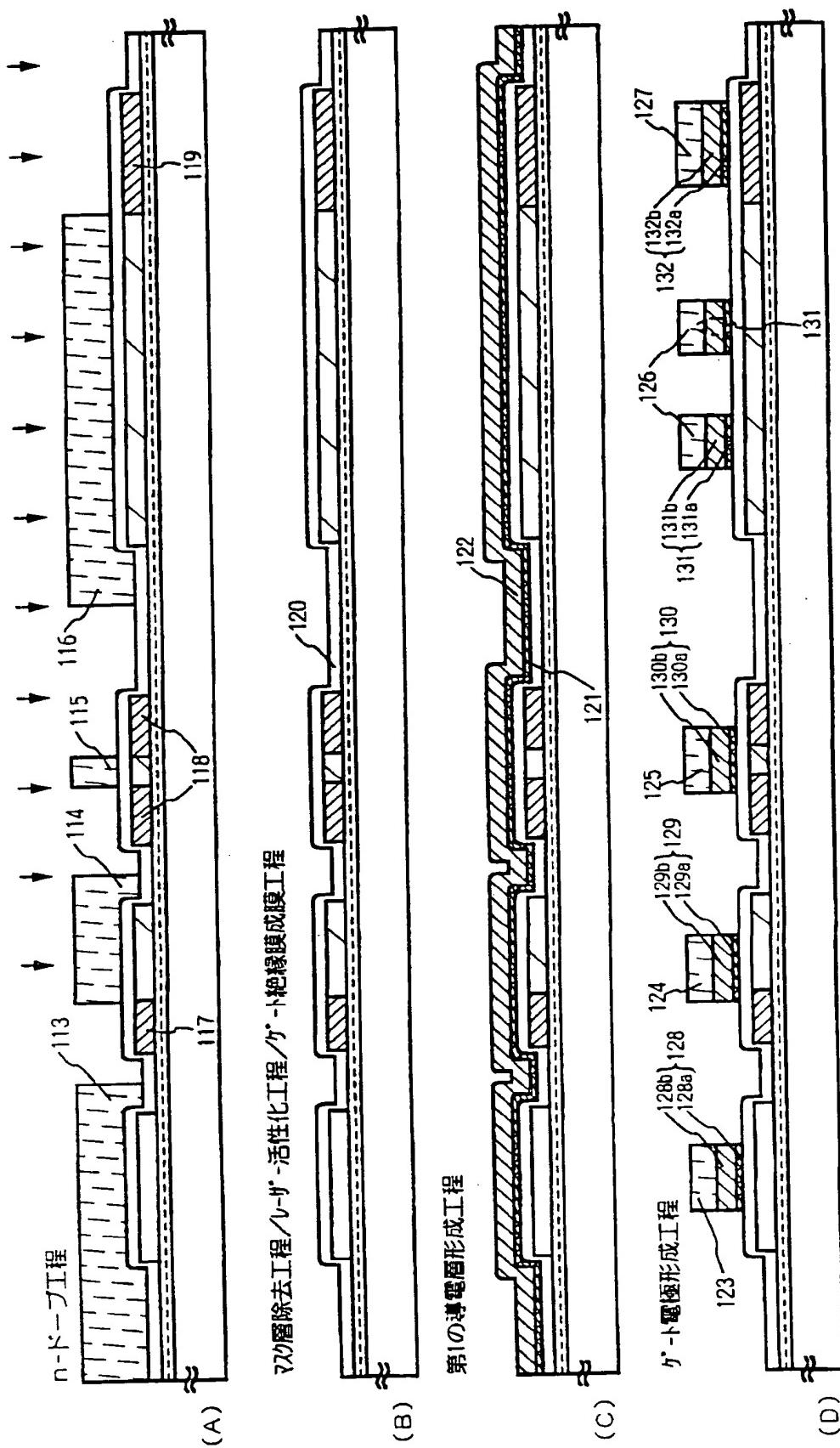
整理番号 = P 0 0 5 0 3 2

提出日 平成 12 年 6 月 28 日
特願 2000-194104 頁： 3 / 31

【図 2】

整理番号 = P 005032

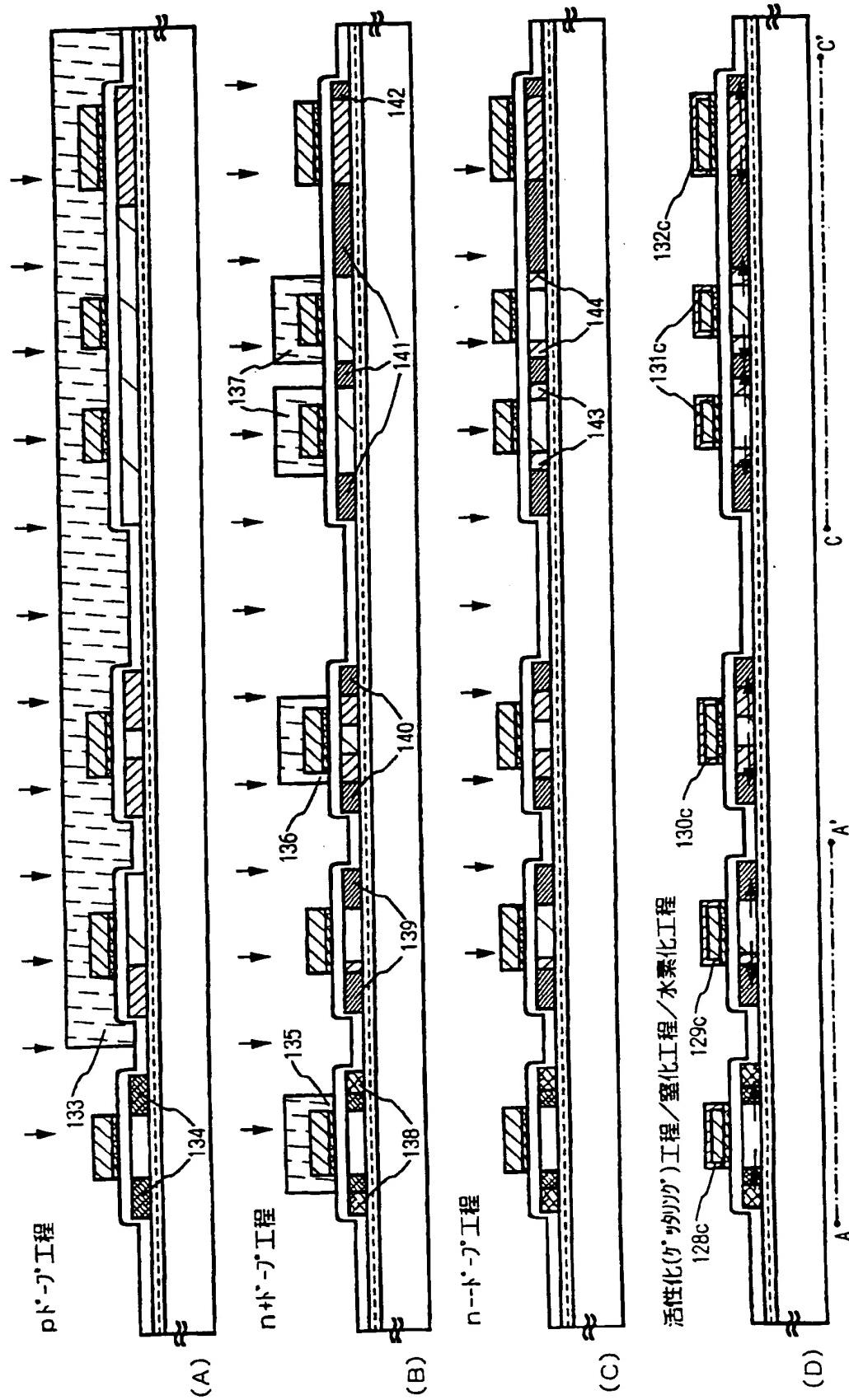
提出日 平成12年 6月28日
特願2000-194104 頁： 4 / 31



整理番号 = P 0 0 5 0 3 2

提出日 平成 12 年 6 月 28 日
特願2000-194104 頁： 5 / 31

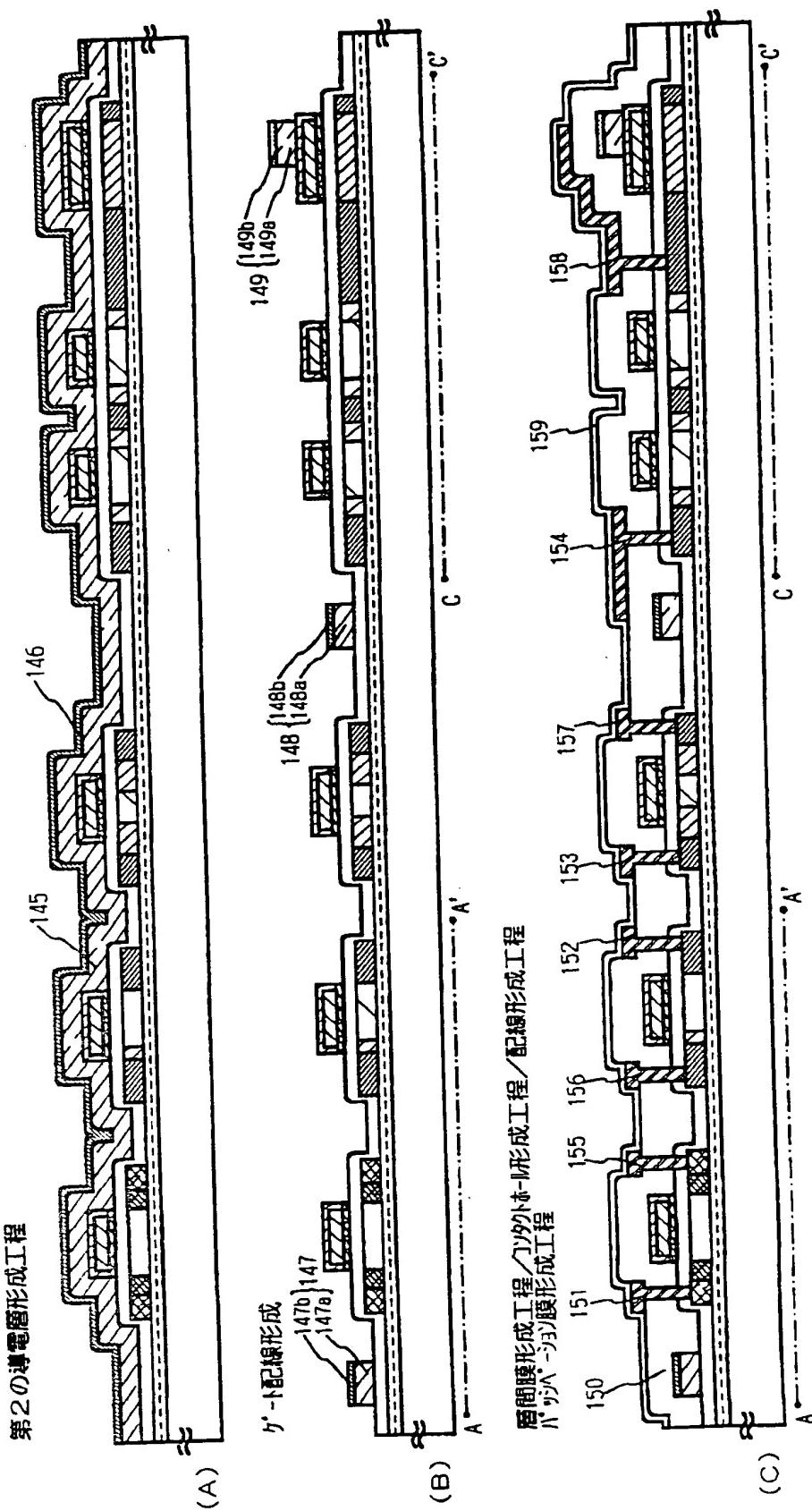
【図 3】



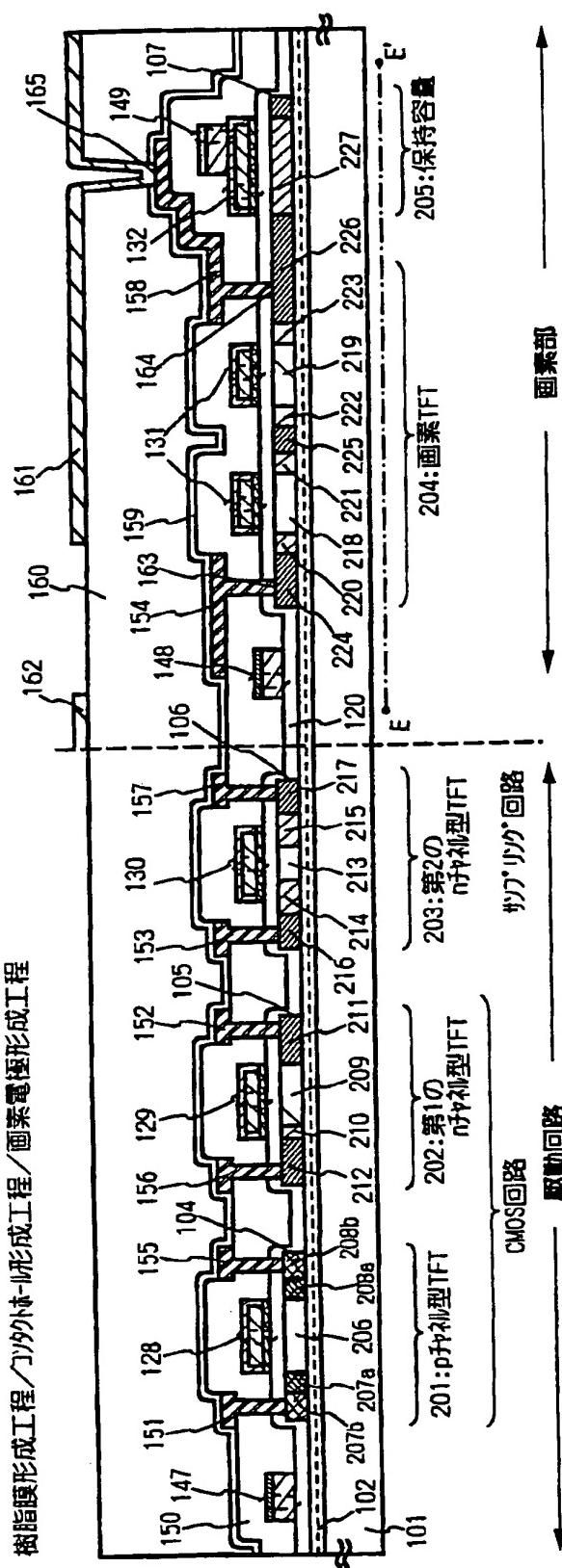
整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 7/ 31

【図4】



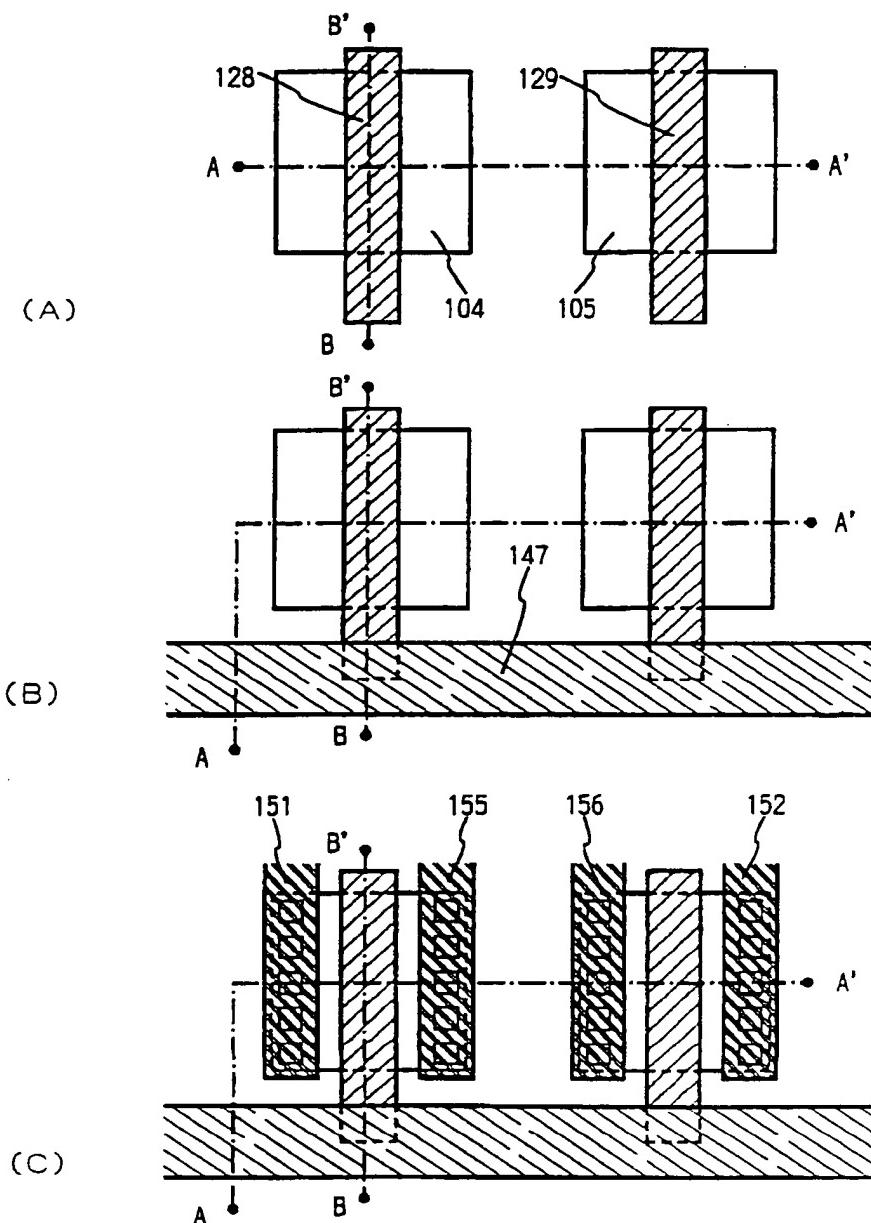
【図5】



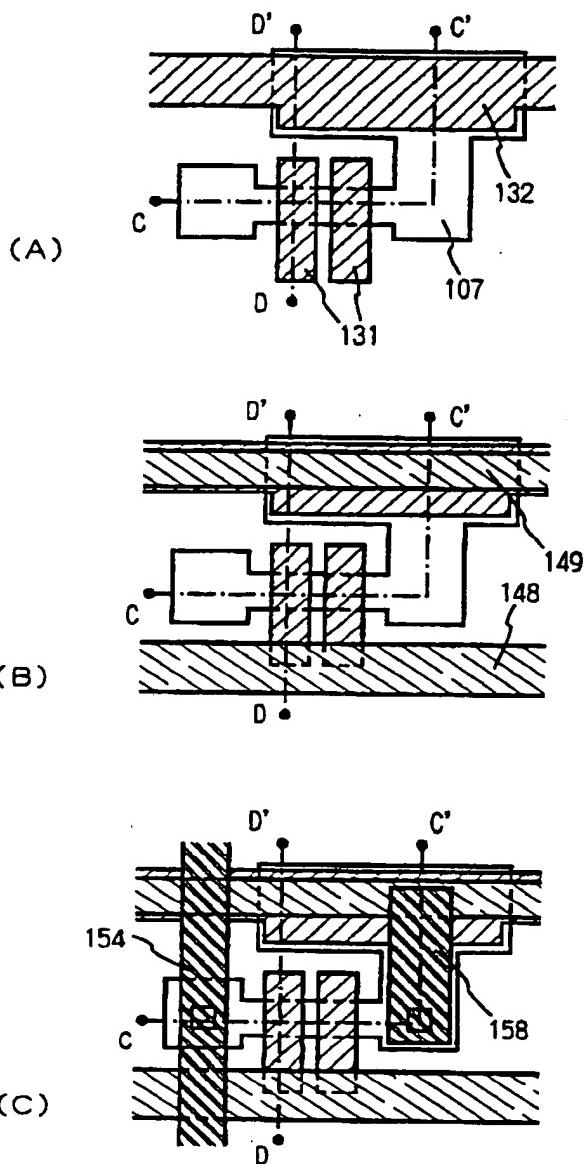
整理番号 = P 0 0 5 0 3 2

提出日 平成 12 年 6 月 28 日
特願2000-194104 頁： 10 / 31

【図 6】



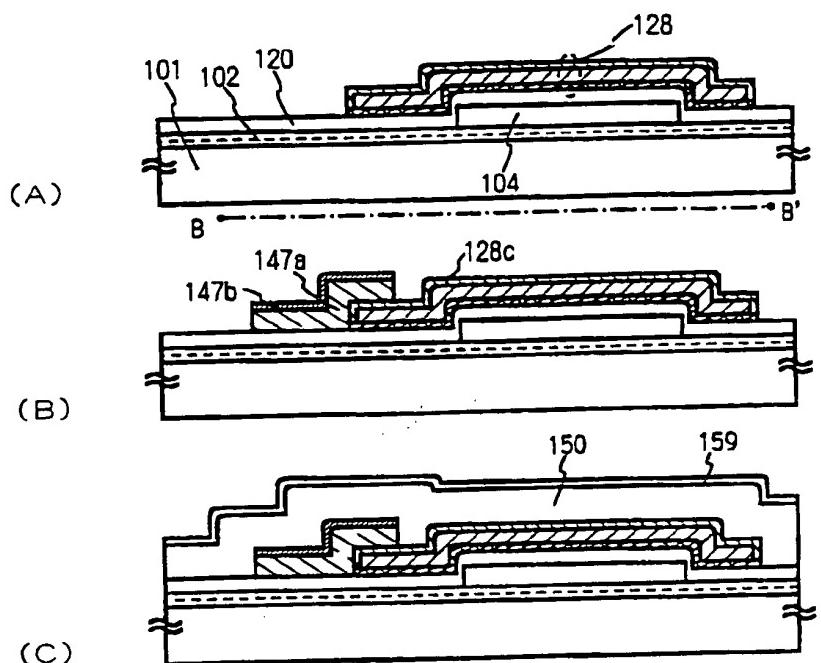
【図 7】



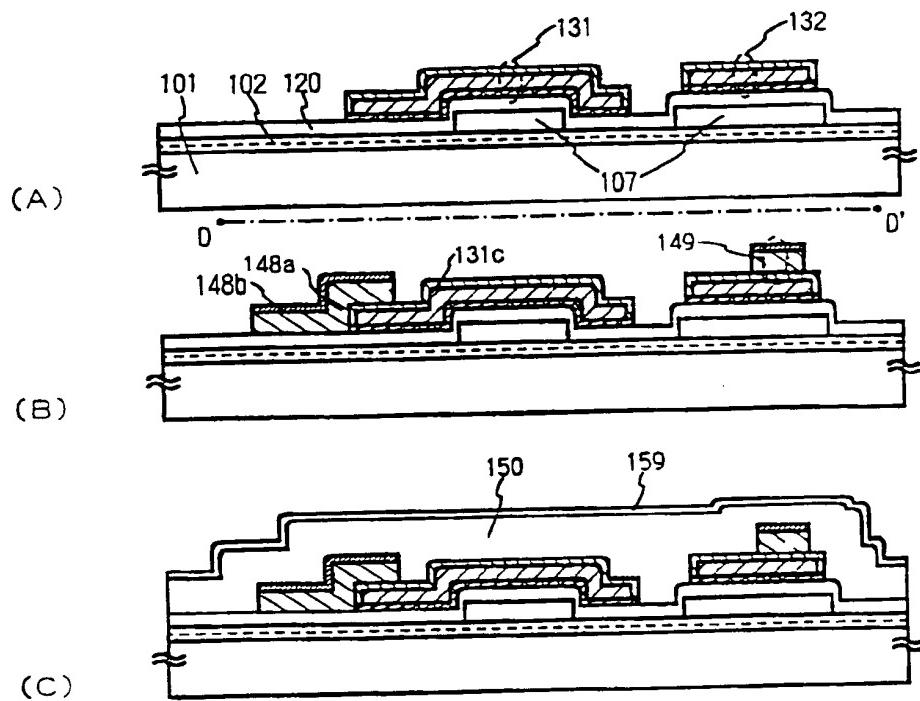
整理番号 = P 0 0 5 0 3 2

提出日 平成12年 6月28日
特願2000-194104 頁: 12/ 31

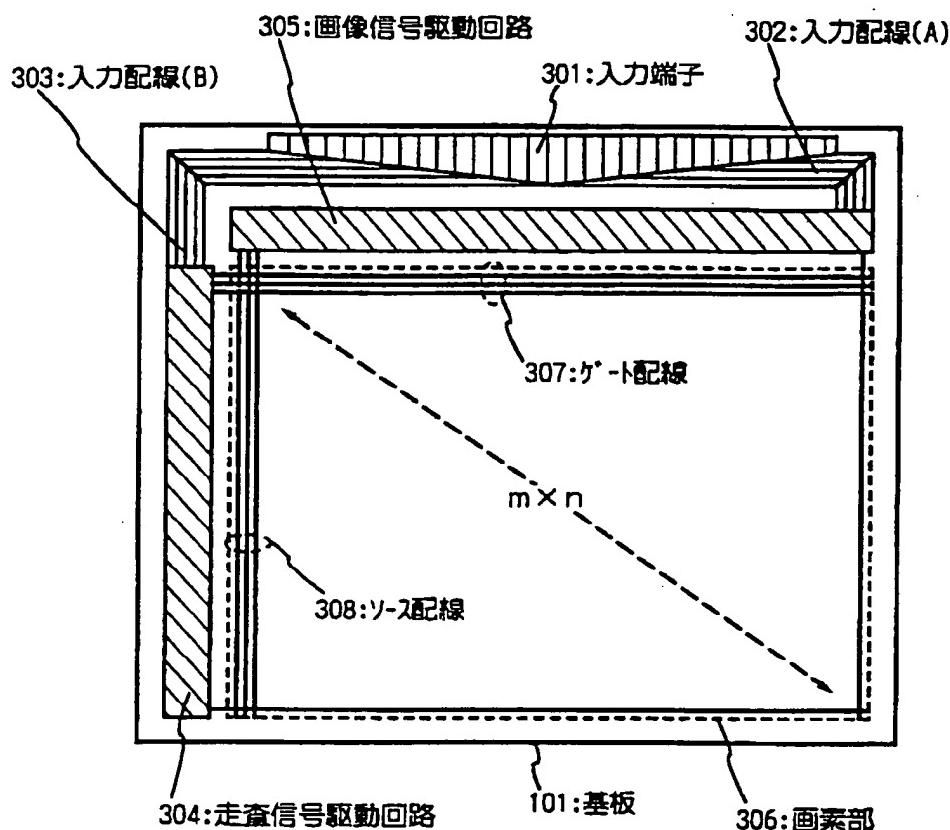
【図8】



【図9】



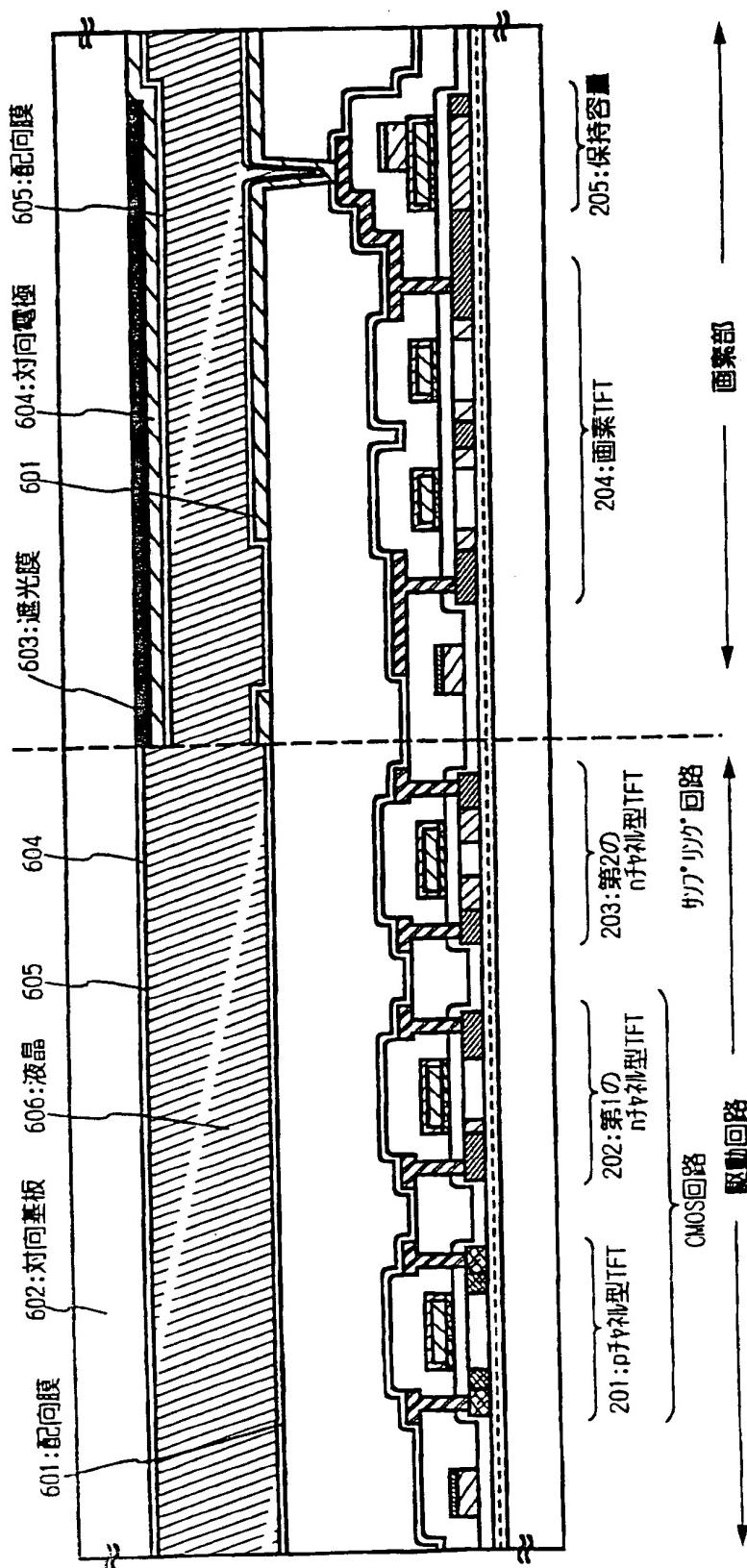
【図10】



整理番号 = P 0 0 5 0 3 2

提出日 平成12年 6月28日
特願2000-194104 頁： 14/ 31

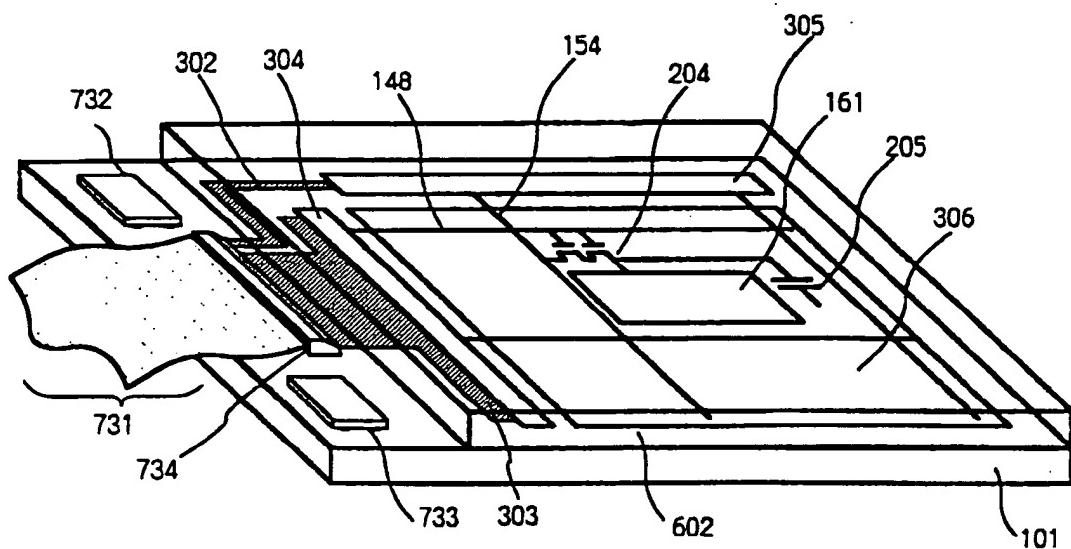
【図11】



整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁： 15/ 31

【図12】

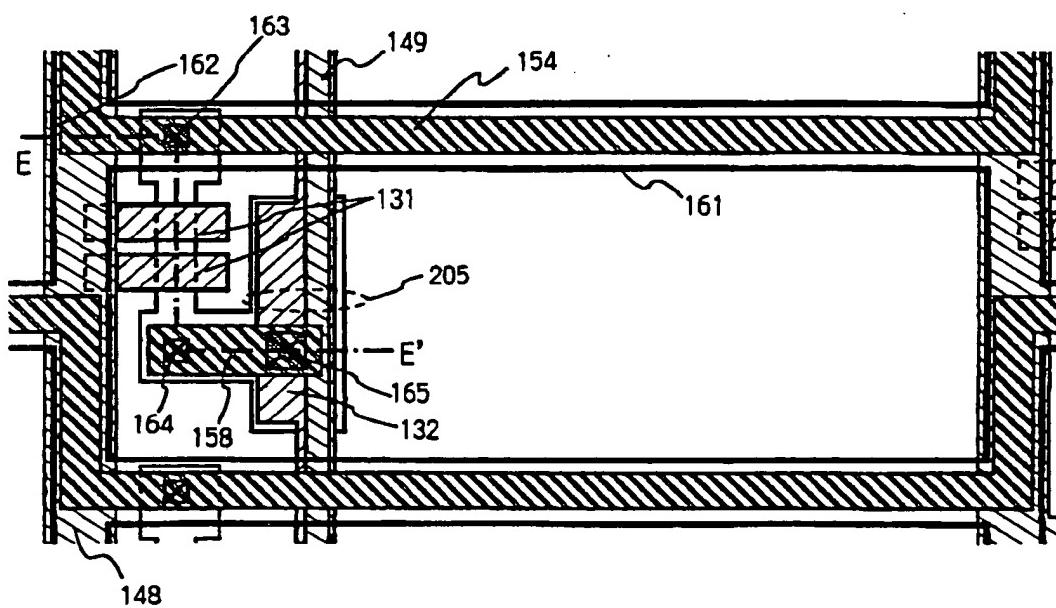


101 : 基板
 306 : 画素部 302, 303 : 入力配線
 304 : 走査信号駆動回路 305 : 画像信号駆動回路
 731 : FPC, 732, 733 : ICチップ,
 734 : 外部入出力端子

204 : 画素TFT
 148 : ゲート配線、 154 : ソース配線
 161 : 画素電極、 205 : 保持容量

602 : 対向基板

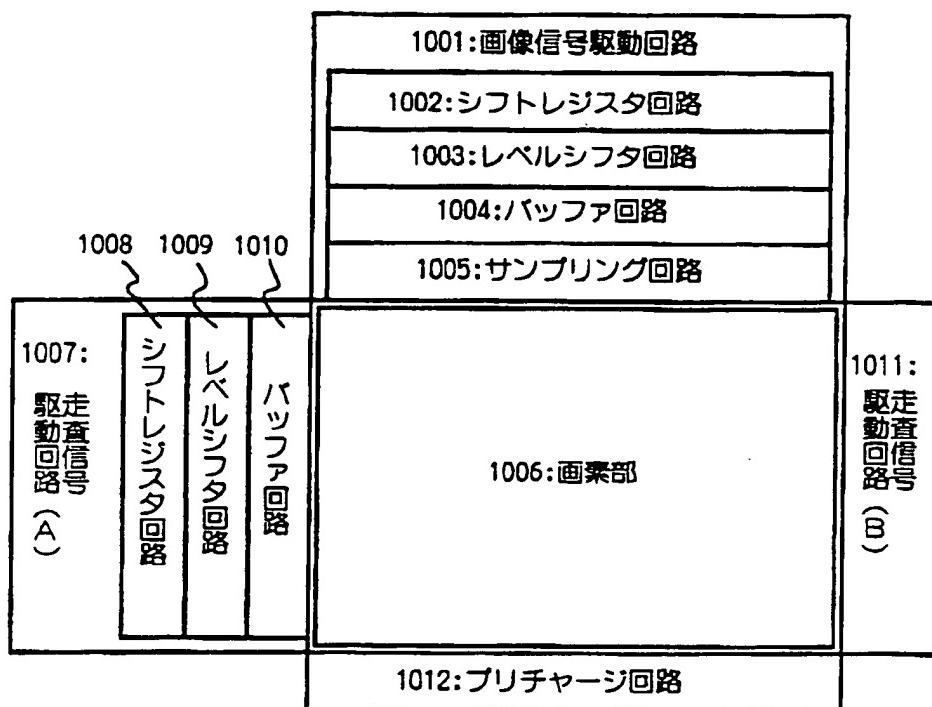
【図13】



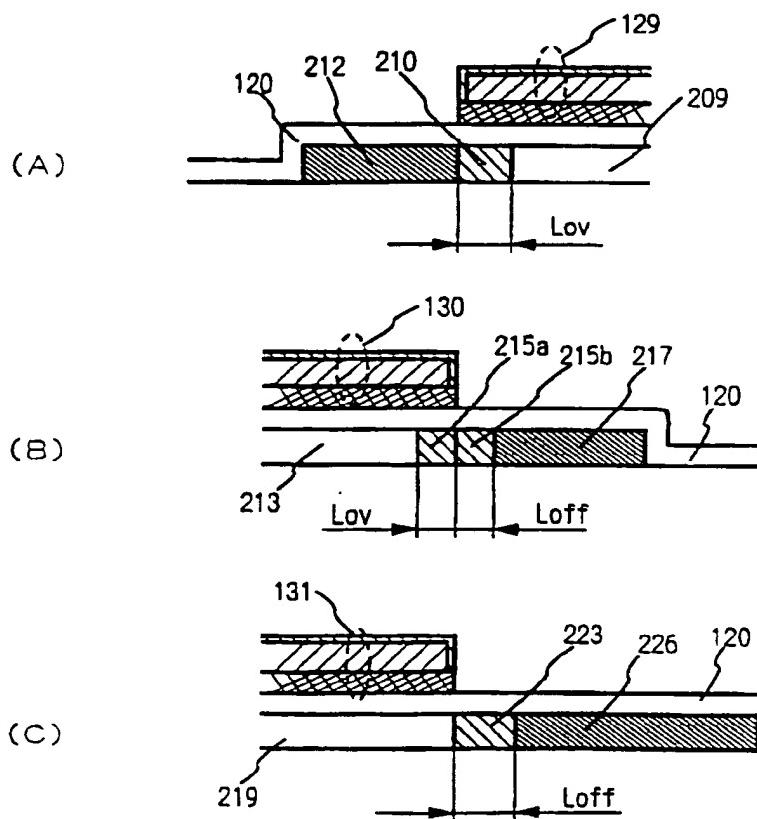
整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 16/ 31

【図14】



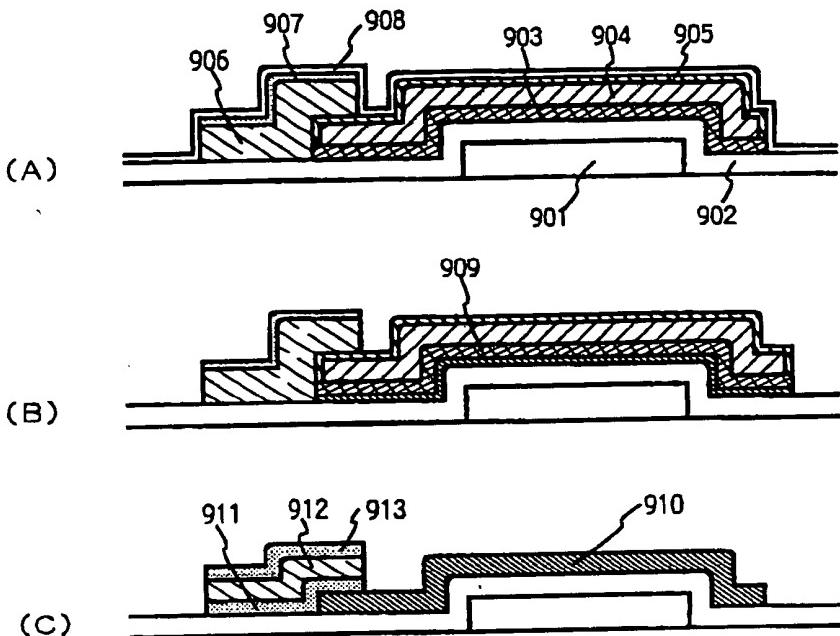
【図15】



整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 17/ 31

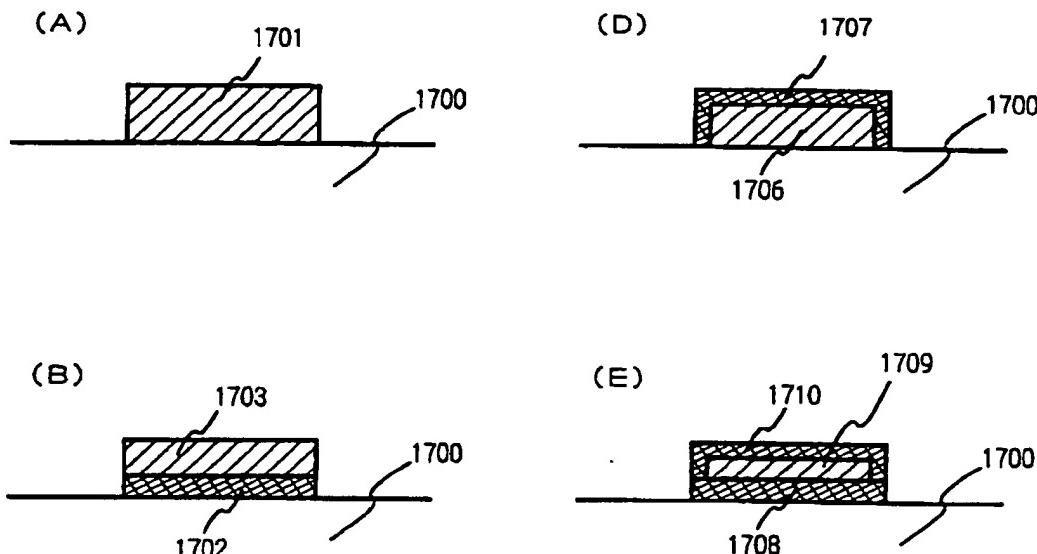
【図16】



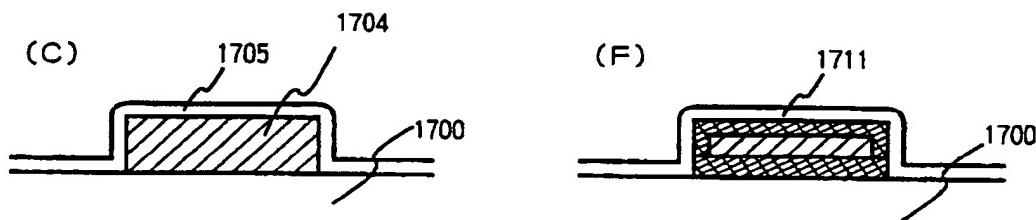
整理番号 = P 0 0 5 0 3 2

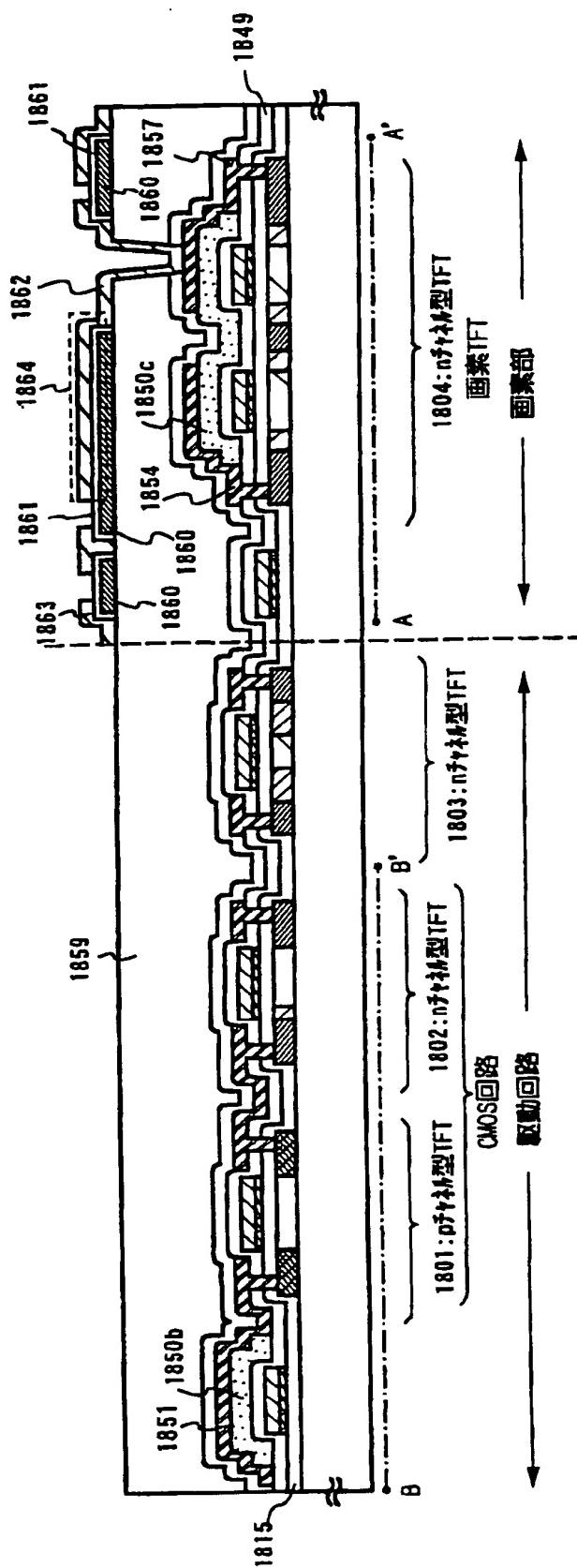
提出日 平成 12 年 6 月 28 日
特願2000-194104 頁: 18/ 31

【図 17】



【図 18】

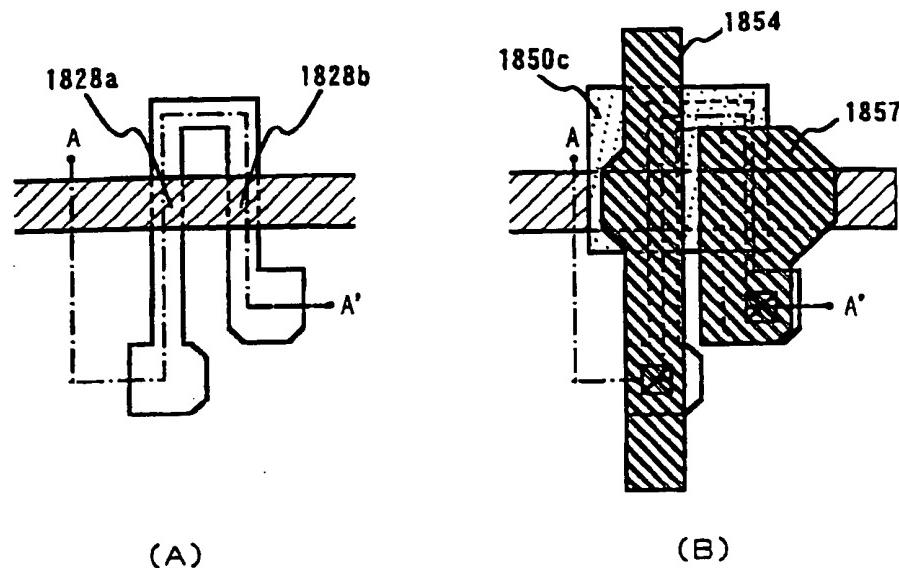




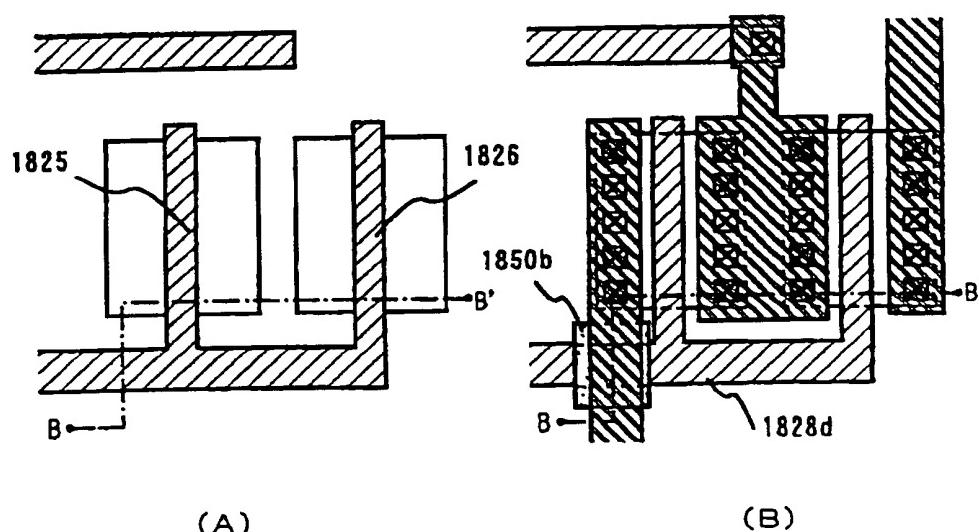
提出日 平成12年 6月28日
特願2000-194104 頁： 20/ 31

整理番号=P005032

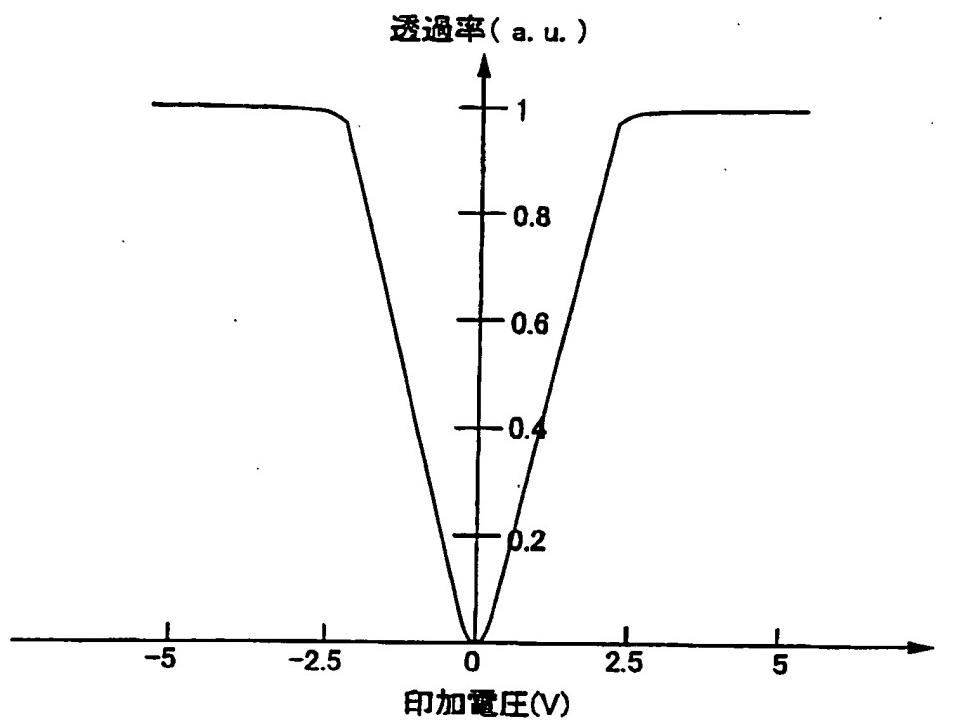
【図19】



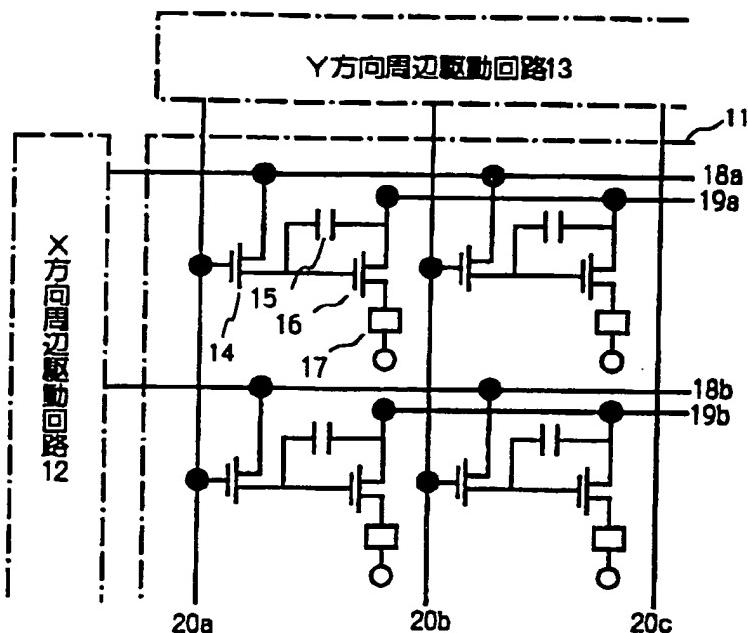
【図20】



【図21】



【図22】



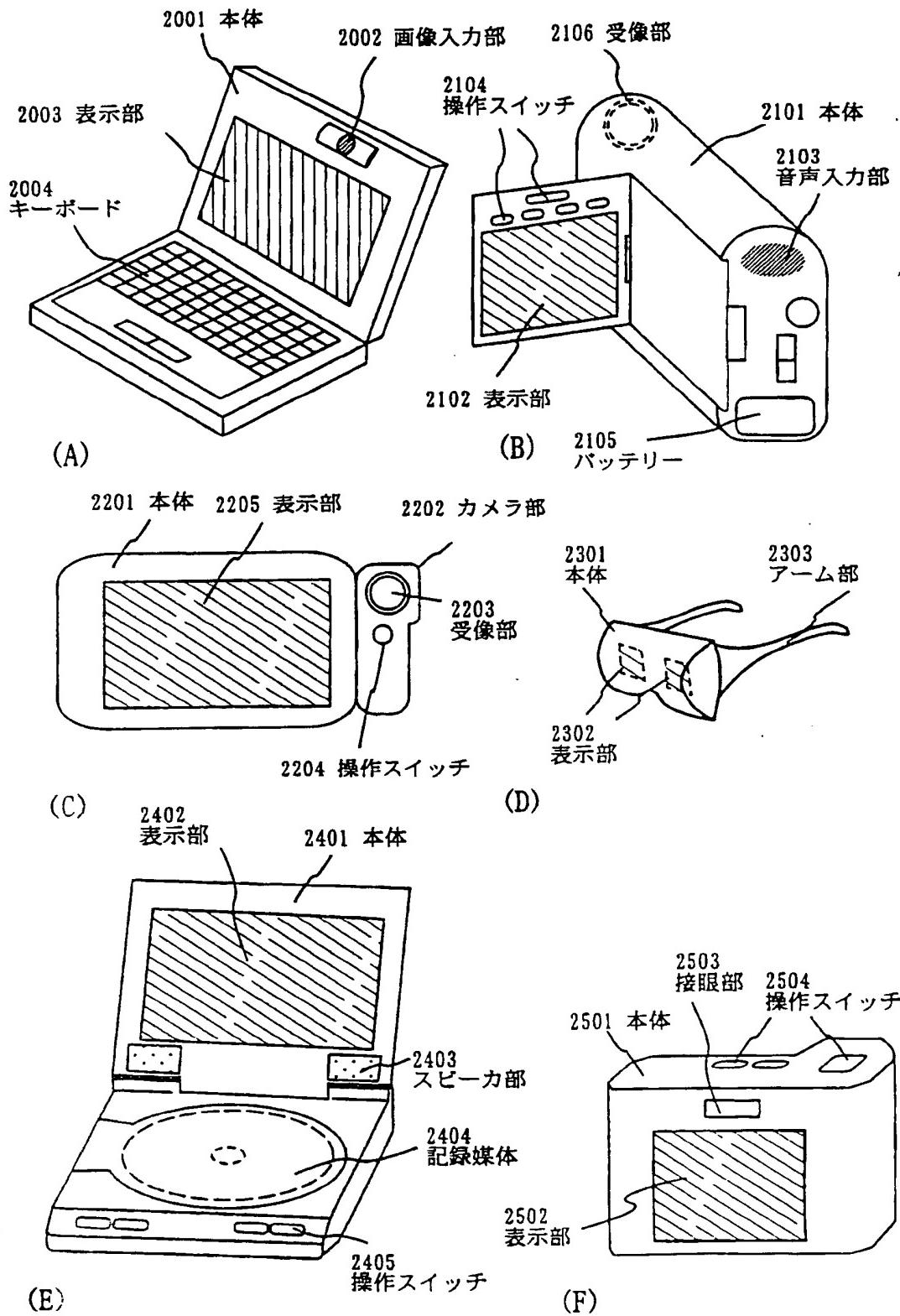
11:画素部 12:X方向周辺駆動回路 13:Y方向周辺駆動回路
14:入力用TFT 15:コンペア 16:電流制御用TFT 17:有機EL素子
18a, 18b: X方向信号線 19a, 19b: 電源線 20a, 20b, 20c: Y方向信号線

E-Lパネル回路図

整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 23/ 31

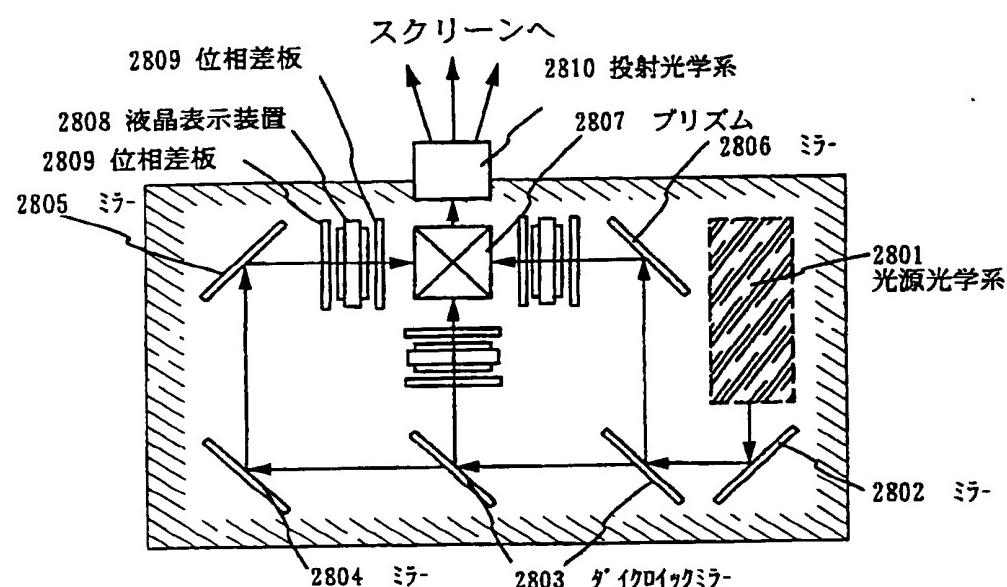
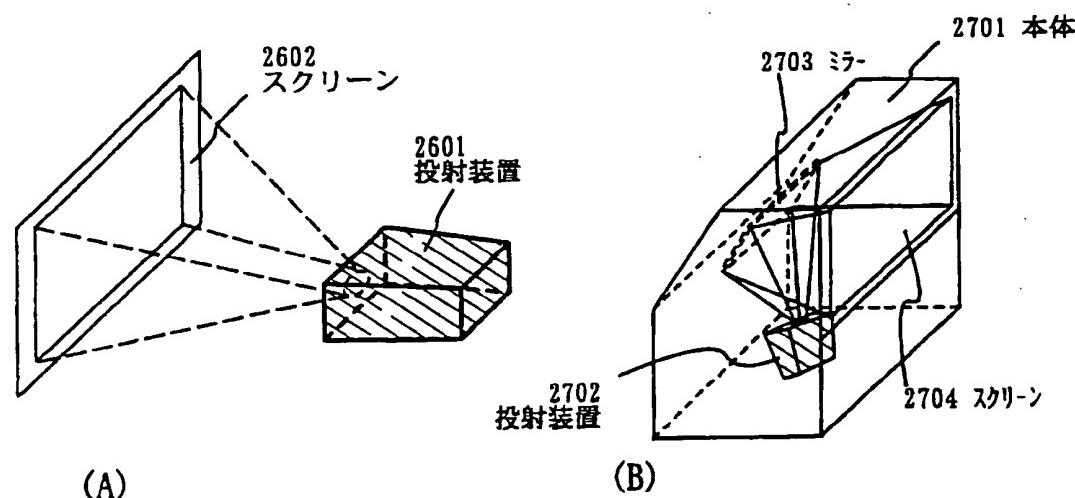
【図23】



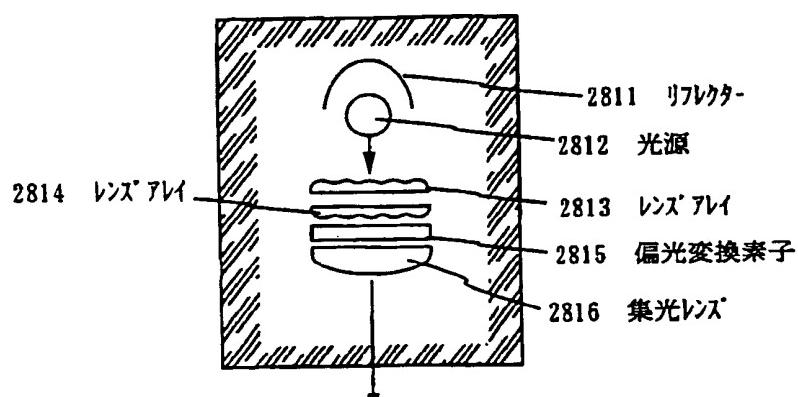
整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁: 24/ 31

【図24】

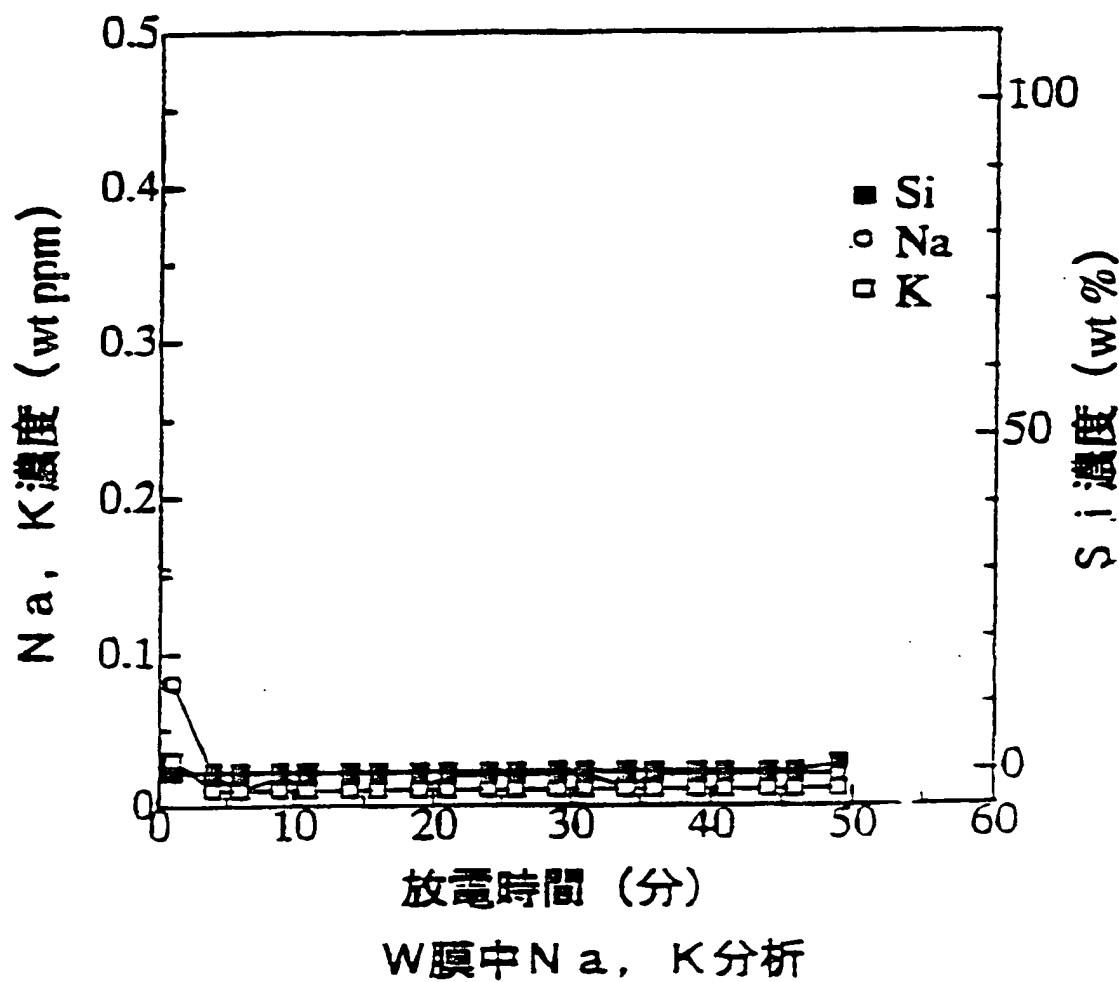


(C) 投射装置（三板式）



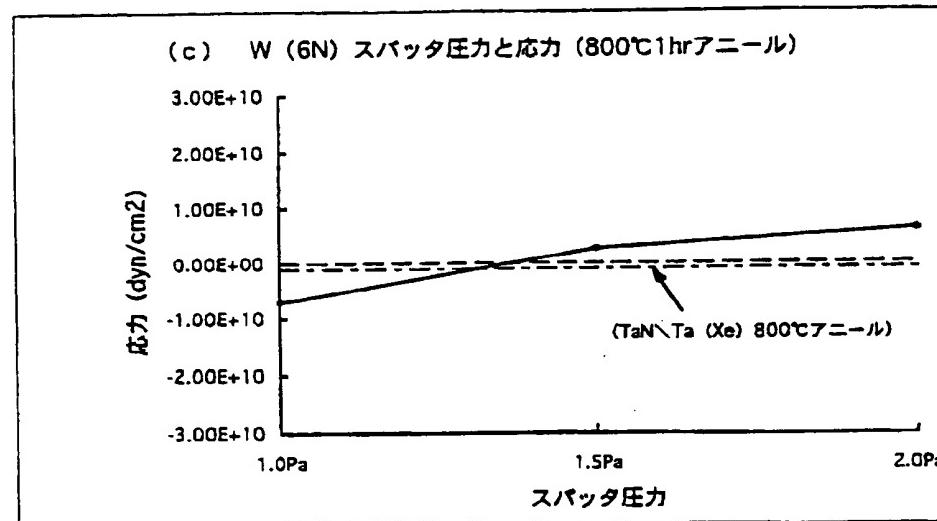
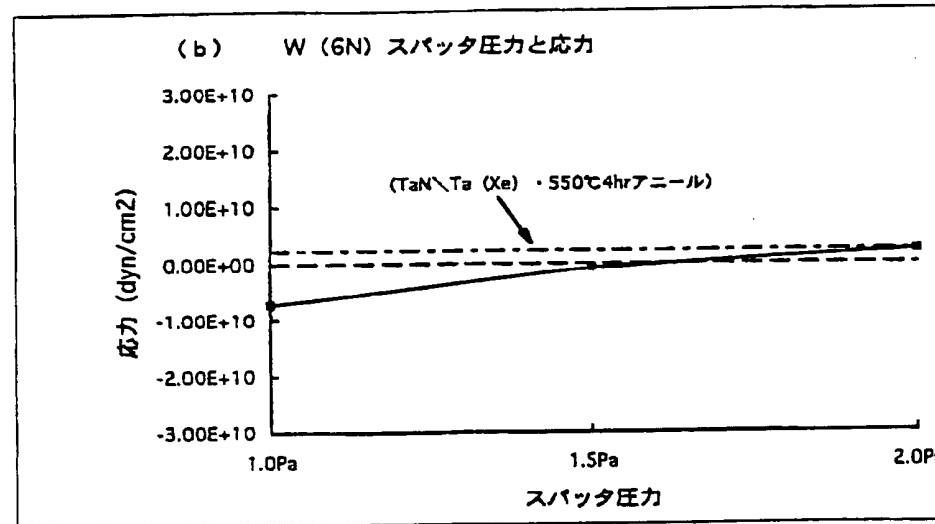
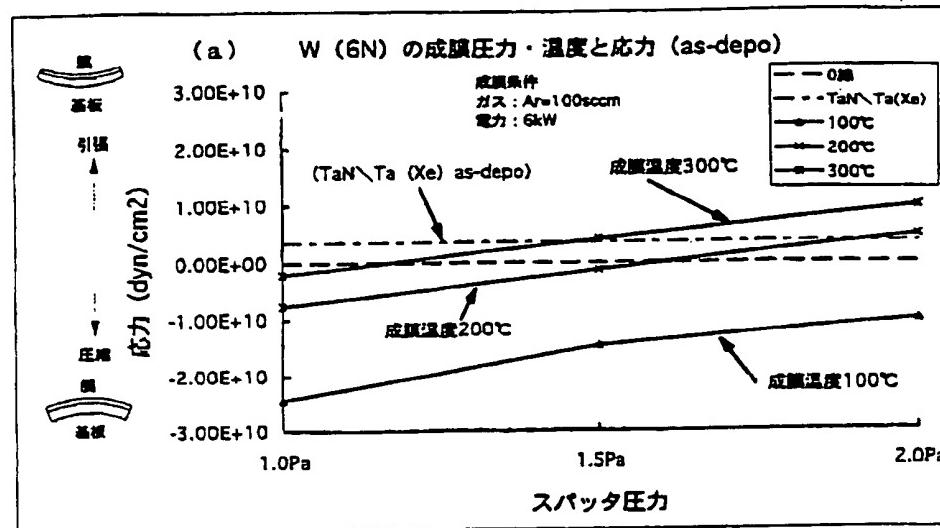
(D) 光源光学系

【図25】



【図26】

整理番号 = P 0 0 5 0 3 2

提出日 平成 12 年 6 月 28 日
特願2000-194104 頁： 26 / 31

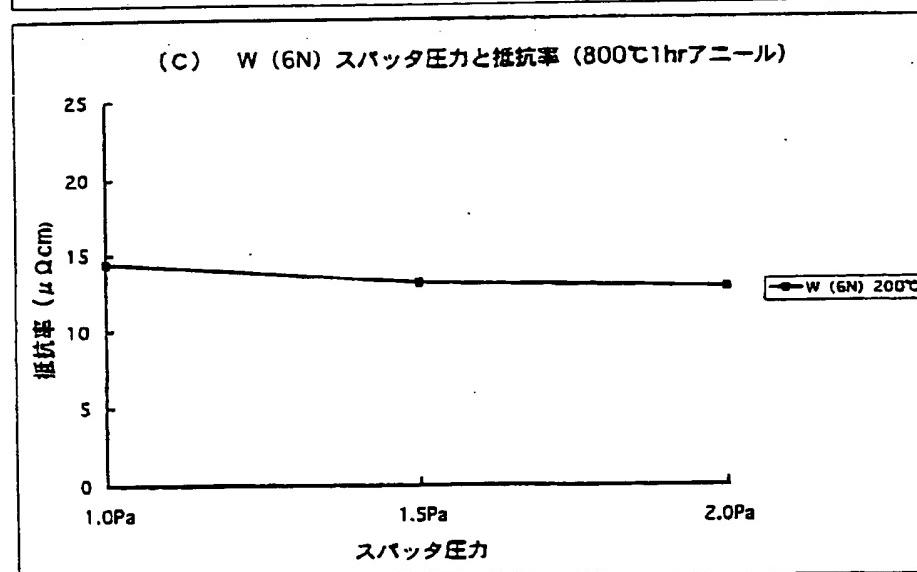
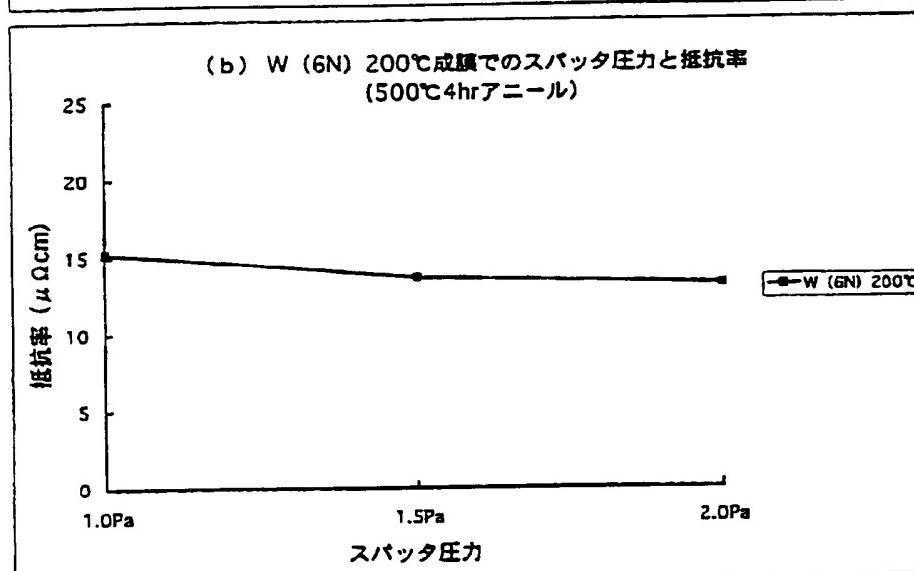
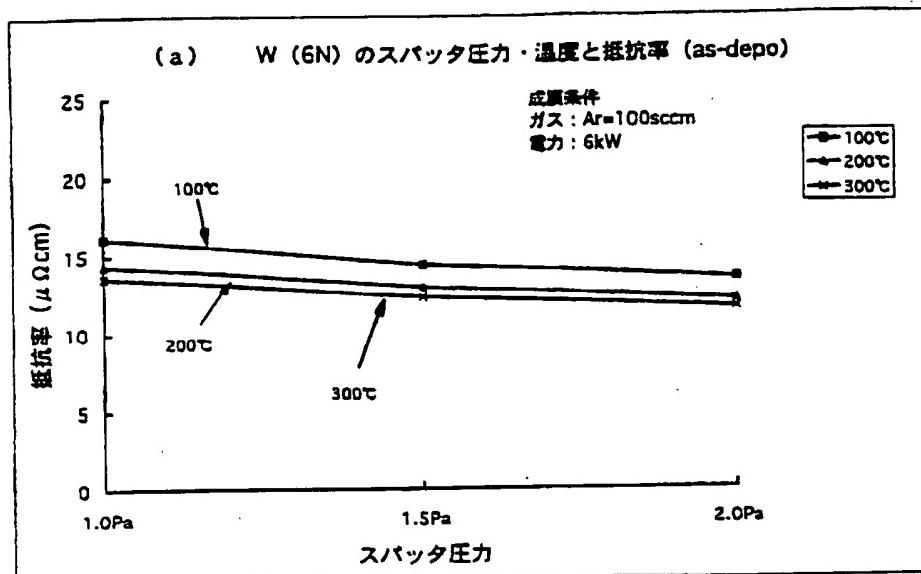
整理番号=P005032

提出日 平成12年 6月28日
特願2000-194104 頁： 27/ 31

【図27】

整理番号=P005032

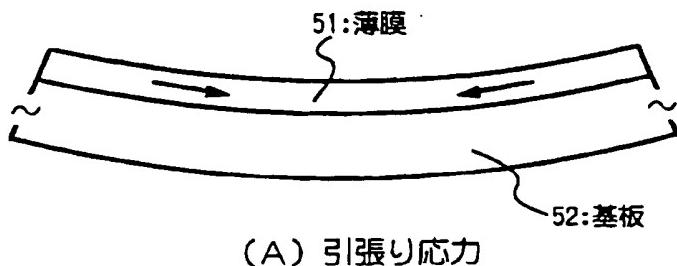
提出日 平成12年 6月28日
特願2000-194104 頁： 28 / 31



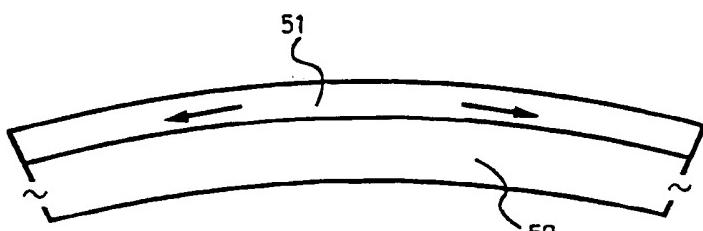
整理番号 = P 0 0 5 0 3 2

提出日 平成 12 年 6 月 28 日
特願2000-194104 頁： 29 / 31

【図 28】

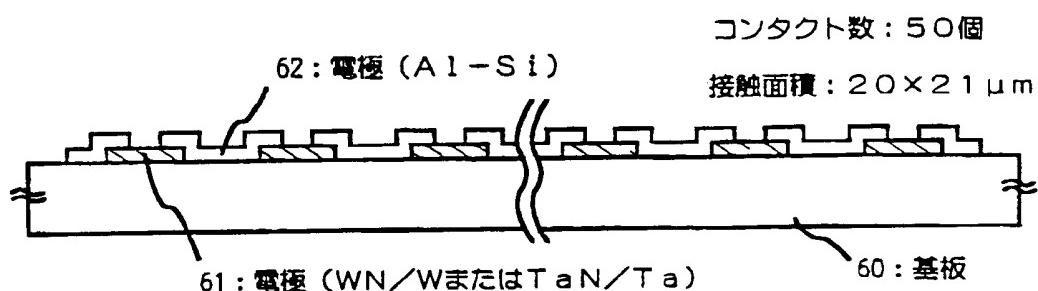


(A) 引張り応力

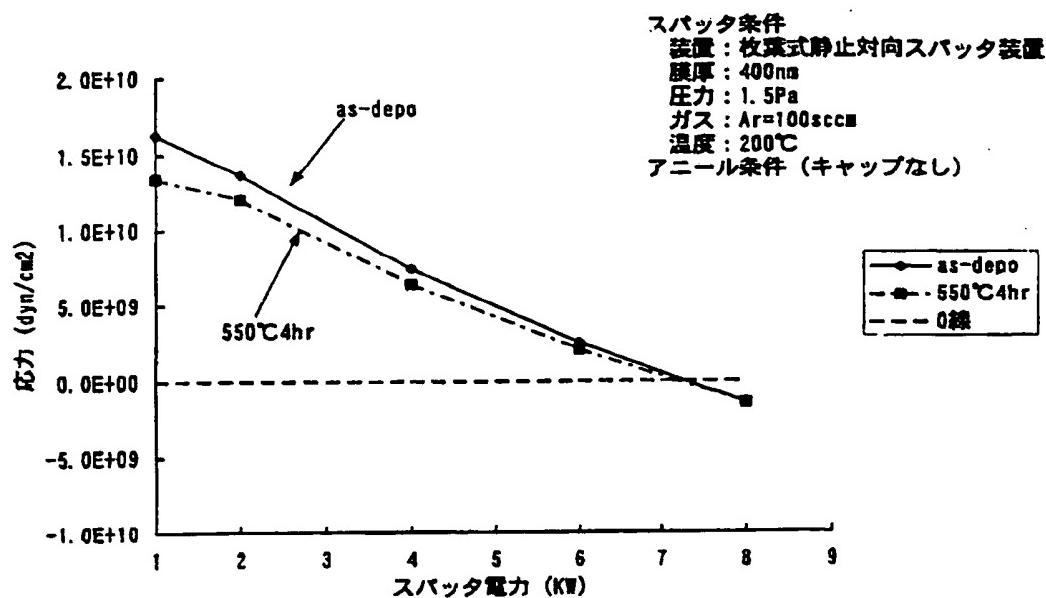


(B) 圧縮応力

【図 29】

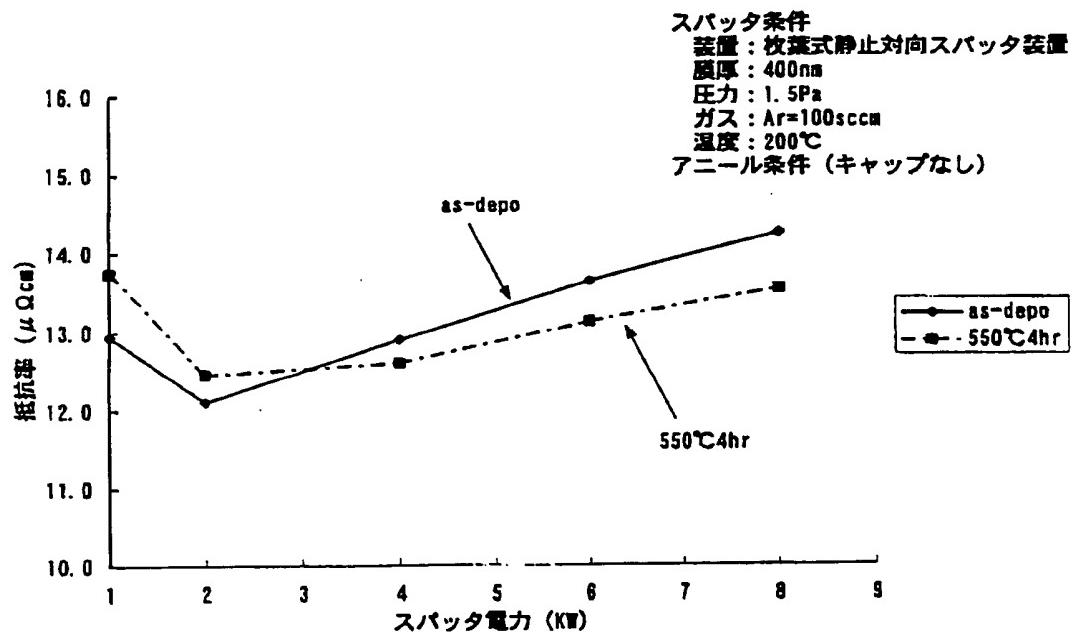


【図30】



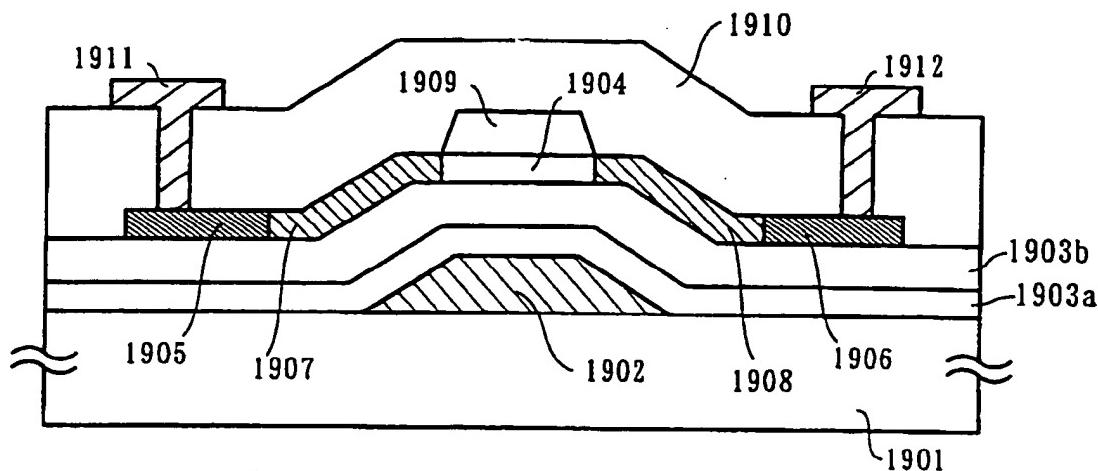
W成膜電力と応力

【図31】



W成膜電力と抵抗率

【図32】



整理番号 = P 0 0 5 0 3 2

提出日 平成12年 6月28日
特願2000-194104 頁: 1/ 1

【書類名】 要約書

【要約】

【課題】 TFT特性の高い半導体装置を実現する。

【解決手段】 ターゲットとしては高純度のターゲットを用い、スパッタガスとしてはアルゴン (Ar) の単体ガスを用い、基板温度を300°C以下とし、スパッタ電力を1 kW~9 kWとし、スパッタガスの圧力を1.0 Pa~3.0 Pa とすることにより膜の応力を、 $-1 \times 10^{10} \sim 1 \times 10^{10}$ dyn/cm²とする。こうして、膜中に含まれるナトリウムが0.03 ppm以下、好ましくは0.01 ppm以下であり、且つ、低い電気抵抗率 ($40 \mu\Omega \cdot cm$ 以下) を有する導電膜をTFTのゲート配線材料やその他の配線材料として用いることにより、TFTを備えた半導体装置の動作性能や信頼性を大幅に向上させることができる。

【選択図】 図25